

T2K 実験 WAGASCI 検出器:
データ収集系におけるヒット時間情報の較正と
ビーム取り出し周期の変更に伴うファームウェア改良

横浜国立大学大学院 理工学府
数物・電子情報系理工学専攻 物理工学教育分野
学籍番号 21NC223
永井恒輝

2023年1月31日

概要

T2K 実験は長基線加速器ニュートリノ振動実験である。茨城県東海村に位置する大強度陽子加速器施設である J-PARC から岐阜県神岡町に位置する後置検出器であるスーパーカミオカンデへニュートリノビームを打ち込み、ニュートリノが地球の内部を移動中に別のニュートリノへと変化する現象であるニュートリノ振動の精密測定を目的としている。ニュートリノは標的の原子核と反応した際に放出される荷電粒子を検出することにより、間接的に観測される。T2K 実験の前置ニュートリノ検出器 ND280 は大角度に散乱された粒子に対する検出効率が低いという弱点がある。これを補うため、水をニュートリノ標的とし、シンチレータを格子状に組むことで全方向に高い検出効率でニュートリノ反応を検出するニュートリノ検出器である WAGASCI と、大角度に散乱した荷電粒子の飛跡、運動量の観測を目的としたミューオン飛程検出器である Wall-MRD が開発された。これらの検出器でニュートリノと水標的の反応を全方向に高い検出効率で測定することで、ニュートリノ反応による系統誤差を削減することが WAGASCI 検出器群の目的である。

WAGASCI と Wall-MRD では、シンチレータ、波長変換ファイバ、半導体型光検出器 MPPC (Multi-Pixel Photon Counter) を用いて、ニュートリノ反応で生成した荷電粒子を観測している。MPPC からの光量とヒット時刻は、フロントエンドエレクトロニクス ASU (Active Sensor Unit) に搭載されている ASIC である SPIROC2D でデジタル信号に変換される。WAGASCI と Wall-MRD には ASU が 1 台当たりそれぞれ 40 枚、及び 6 枚設置されており、ニュートリノ反応で生成された荷電粒子の位置と時刻の記録を行っている。詳細な検出時刻は、一定周期で増減を行う ramp 信号の値を記録することで行っているが、この ramp 信号の増減の割合は ASU ごとに異なっており、実際の検出時刻を算出するために、各 ASU の ramp 信号の増減の割合を測定する必要がある。本研究では、WAGASCI、Wall-MRD に設置されている各 ASU の ramp 信号の増減の割合を測定し、ヒット時間情報の較正を行った。

また、T2K 実験では 2023 年のランより加速器のアップグレード、及びニュートリノビームの取り出し周期の短縮化 (2.48s → 1.32s) が行われた。これにより、WAGASCI 検出器群のデータ収集周期を変更する必要が生じた。WAGASCI 検出器群のデータ収集周期はデータ収集を管理するバックエンドボードである CCC (Clock and Control Card) によって管理されており、これに搭載されている FPGA のファームウェアを書き換えることでデータ収集周期を変更することが出来る。本研究では、WAGASCI、Wall-MRD に使用されている CCC のファームウェアを変更し、変更後のビーム取り出し周期でデータを収集できるようにした。

目次

第 1 章	ニュートリノ	4
1.1	ニュートリノとは	4
1.2	ニュートリノ振動	4
第 2 章	T2K 実験	6
2.1	T2K 実験	6
2.1.1	概要	6
2.1.2	ニュートリノビーム	6
2.1.3	Off-axis 法	7
2.2	前置検出器	8
2.2.1	INGRID 検出器	8
2.2.2	ND280 検出器	9
2.2.3	WAGASCI 検出器群	10
2.3	後置検出器 (スーパーカミオカンデ)	11
第 3 章	J-PARC E69(WAGASCI) 実験	12
3.1	目的	12
3.2	WAGASCI 検出器群	12
3.2.1	WAGASCI (WATER Grid And SCIntillator)	13
3.2.2	Proton Module	13
3.2.3	Wall-MRD (Muon Range Detector)	14
3.2.4	Baby-MIND (Magnetized Iron Neutrino Detector)	15
第 4 章	エレクトロニクス	16
4.1	MPPC (Multi-Pixel Photon Counter)	16
4.1.1	構造・動作原理	16
4.1.2	諸特性	17
4.2	フロントエンドエレクトロニクス	18
4.3	各種情報の記録	22
4.3.1	時間情報の記録	23
第 5 章	TDC キャリブレーション	25
5.1	TDC slope、TDC offset の測定	25
5.1.1	目的	25

5.1.2	測定方法	25
5.1.3	MPPC の各チャンネルの TDC slope、TDC offset の測定	29
5.1.4	各 ASU の TDC slope の測定	31
5.2	Wall-MRD の異なる IF 間のヒット時間差の測定	34
5.2.1	目的	34
5.2.2	LED によるヒット時間差の測定	34
5.2.3	電気信号によるヒット時間差の測定	37
5.2.4	まとめ、今後の展望	38
第 6 章	CCC のファームウェアの改良	39
6.1	ビーム取り出し周期の変更	39
6.2	FPGA	40
6.3	CCC のアルゴリズム	41
6.4	CCC のファームウェアの改良	42
6.4.1	ファームウェアの書き換え	42
6.4.2	J-PARC におけるデータ測定	43
6.4.3	測定結果	45
6.5	まとめ	48
第 7 章	結論	49

第1章 ニュートリノ

1.1 ニュートリノとは

ニュートリノは物質を構成する最小の単位である素粒子の一種であり、電荷を持たない、質量が非常に小さい、 $\frac{1}{2}\hbar$ のスピンの持つ等の特徴がある。ニュートリノは1930年にパウリによってその存在が提唱された。パウリは β 崩壊のエネルギー分布の研究において、反応前後でエネルギーが保存されないことに対する説明として、「 β 崩壊で生成される陽子と電子の他に、電荷を帯びていない粒子が放出されている」、という仮説を立てた。その後、1934年にフェルミによって β 崩壊の理論が構築され、この粒子にニュートリノという名前が与えられた。そして1956年、ライネスらによってニュートリノが初めて発見され、その存在が証明された。

ニュートリノには3種類のフレーバー固有状態が存在し、電子ニュートリノ (ν_e)、ミューニュートリノ (ν_μ)、タウニュートリノ (ν_τ) と分類される。また、ニュートリノはフレーバー固有状態とは独立な質量固有状態を有しており、この質量固有状態の違いから後述するニュートリノ振動と呼ばれる現象が発生する。また、ニュートリノには弱い相互作用 (と重力相互作用) しか働かないため、前述した特徴からほとんど他の物質と反応せずに透過してしまう。

1.2 ニュートリノ振動

あるフレーバーのニュートリノは、空間を飛行中に別のフレーバーのニュートリノへと変化する。この現象をニュートリノ振動と呼び、1962年にポンテコルボによって提唱、定式化され、1998年に実際に観測された。

ニュートリノのフレーバーと質量の固有状態はそれぞれ3種類存在し、あるフレーバーの固有状態 ν_f ($f = e, \mu, \tau$) は質量の固有状態 ν_i ($i = 1, 2, 3$) が混合した状態で表される。

$$|\nu_f\rangle = \sum_i U_{fi} |\nu_i\rangle \quad (1.1)$$

ここで U_{fi} はクォークにおける小林・益川行列に対応する混合行列であり、提唱者の名前をとってポンテコルボ・牧・中川・坂田行列 (PMNS 行列) と呼ばれる以下の行列である。

$$\begin{aligned}
U_{\text{PMNS}} &= \begin{pmatrix} 1 & 0 & 0 \\ 0 & c_{23} & s_{23} \\ 0 & -s_{23} & c_{23} \end{pmatrix} \begin{pmatrix} c_{13} & 0 & s_{13}e^{-i\delta} \\ 0 & 1 & 0 \\ -s_{13}e^{i\delta} & 0 & c_{13} \end{pmatrix} \begin{pmatrix} c_{12} & s_{12} & 0 \\ -s_{12} & c_{12} & 0 \\ 0 & 0 & 1 \end{pmatrix} \\
&= \begin{pmatrix} c_{12}c_{13} & s_{12}c_{13} & s_{13}e^{-i\delta} \\ -s_{12}c_{23} - c_{12}s_{23}s_{13}e^{i\delta} & c_{12}c_{23} - s_{12}s_{23}s_{13}e^{i\delta} & s_{23}c_{13} \\ s_{12}s_{23} - c_{12}c_{23}s_{13}e^{i\delta} & -c_{12}s_{23} - s_{12}c_{23}s_{13}e^{i\delta} & c_{23}c_{13} \end{pmatrix} \quad (1.2)
\end{aligned}$$

式 (1.2) の c_{ij} 、 s_{ij} はそれぞれ混合角 $\theta_{12}, \theta_{23}, \theta_{13}$ を用いて、 $c_{ij} = \cos\theta_{ij}$ 、 $s_{ij} = \sin\theta_{ij}$ である。また、 δ は複素位相である。

ニュートリノ振動について簡単のため、 ν_e と ν_μ の 2 世代の振動を考える。2 つのフレーバーの固有状態は混合角 θ を用いて以下のように表せる。

$$|\nu_e\rangle = \cos\theta|\nu_1\rangle + \sin\theta|\nu_2\rangle \quad (1.3)$$

$$|\nu_\mu\rangle = -\sin\theta|\nu_1\rangle + \cos\theta|\nu_2\rangle \quad (1.4)$$

また、ニュートリノが運動量 p を持つとするとニュートリノの質量は十分に小さいため、

$$E_i = \sqrt{p^2 + m_i^2} \simeq p + \frac{m_i^2}{2p} \quad (1.5)$$

と表される。この時、それぞれの波動関数の発生してからの時間 t における時間発展は、単位系をプランク単位系とすると、

$$|\nu_e(t)\rangle = \cos\theta|\nu_1(0)\rangle \exp(-iE_1t) + \sin\theta|\nu_2(0)\rangle \exp(-iE_2t) \quad (1.6)$$

$$|\nu_\mu(t)\rangle = -\sin\theta|\nu_1(0)\rangle \exp(-iE_1t) + \cos\theta|\nu_2(0)\rangle \exp(-iE_2t) \quad (1.7)$$

となる。よって、時刻 $t=0$ で発生した電子ニュートリノ ν_e が時刻 t でミューニュートリノ ν_μ に変化する確率 $P(\nu_e \rightarrow \nu_\mu)$ は、

$$\begin{aligned}
P(\nu_e \rightarrow \nu_\mu) &= |\langle \nu_\mu | \nu_e(t) \rangle|^2 \\
&= \frac{1}{2} \sin^2 2\theta \{1 - \cos(E_1 - E_2)t\} \\
&= \frac{1}{2} \sin^2 2\theta \left\{ 1 - \cos\left(\frac{|m_1^2 - m_2^2|}{2E}\right)t \right\} \\
&= \frac{1}{2} \sin^2 2\theta \left\{ 1 - \cos\left(\frac{\Delta m^2}{2E}\right)t \right\} \quad (1.8)
\end{aligned}$$

となる。また、 ν_e がそのままである確率 $P(\nu_e \rightarrow \nu_e)$ は、

$$\begin{aligned}
P(\nu_e \rightarrow \nu_e) &= 1 - P(\nu_e \rightarrow \nu_\mu) \\
&= 1 - \frac{1}{2} \sin^2 2\theta \left\{ 1 - \cos\left(\frac{\Delta m^2}{2E}\right)t \right\} \quad (1.9)
\end{aligned}$$

となる。式 (1.8)、(1.9) より、ニュートリノのフレーバー固有状態と質量固有状態の間に混合があり、かつ質量が異なる固有状態が存在するとき、すなわち、 $\theta \neq 0$ 、 $\Delta m^2 \neq 0$ の時、 $P(\nu_e \rightarrow \nu_\mu) \neq 0$ 、 $P(\nu_e \rightarrow \nu_e) \neq 1$ となり、ニュートリノ振動が起こる。

第2章 T2K 実験

2.1 T2K 実験

2.1.1 概要

T2K 実験は長基線加速器ニュートリノ振動実験である。T2K 実験の概略図を図 2.1 に示す。茨城県東海村に位置する大強度陽子加速器施設 J-PARC によって生成した大強度ニュートリノビームを前置検出器で検出し、その後、地中を通して 295km 離れた岐阜県飛騨市に位置する後置検出器スーパーカミオカンデへ打ち込み、ニュートリノ振動によってニュートリノの種類が変化するかどうかを観測する。T2K 実験の主な目的は、混合角 θ_{13} の精密測定、ミューニュートリノ ν_{μ} 消失確率の精密測定、ニュートリノビームと反ニュートリノビームを用いた CP 対称性の破れの観測である。



図 2.1: T2K 実験の概略図 [1]

2.1.2 ニュートリノビーム

J-PARC 全体の構造を図 2.2 に示す。J-PARC によるニュートリノ生成部分は、LINAC (LINear ACcelerator)、RCS (Rapid Cycling Synchrotron)、MR (Main Ring) の 3 台の加速器で構成されている。LINAC で 400MeV の陽子ビームを生成し、その後 RCS で 3GeV、MR で 30GeV まで加速する。加速された陽子ビームはニュートリノビームラインの炭素標的に照射され、ハドロン反応によって主に π 中間子が生成される。このようにして生成された π 中間子が式 (2.1)、(2.2) の

ように崩壊することでニュートリノが生成される。

$$\pi^+ \rightarrow \mu^+ + \nu_\mu \quad (2.1)$$

$$\pi^- \rightarrow \mu^- + \bar{\nu}_\mu \quad (2.2)$$



図 2.2: 大強度陽子加速器施設 J-PARC[2]

収集する荷電パイオンの電荷は電磁ホーンの磁場の偏向によって選択することが可能であり、これによってニュートリノビームと反ニュートリノビームを選択することが出来る。

2.1.3 Off-axis 法

T2K 実験ではスーパーカミオカンデから 2.5° ずれた方向にニュートリノビームを発射している。これにより、スーパーカミオカンデに到達するニュートリノビームのエネルギーが、ニュートリノ振動確率が最も高くなるエネルギーとなる。2.1.2 節で示した通り、ニュートリノビームは π 中間子の 2 体崩壊を用いて生成しているので、ニュートリノのエネルギー E_ν は以下のように表される。

$$E_\nu = \frac{m_\pi^2 - m_\mu^2}{2(E_\pi - p_\pi \cos\theta_\nu)} \quad (2.3)$$

ここで、 m_π 、 E_π 、 p_π はそれぞれ π 中間子の質量、エネルギー、運動量、 m_μ はミューオンの質量、 θ_ν は π 中間子の進行方向に対するニュートリノの崩壊角である。式 (2.3) より崩壊角 θ_ν が大

きくなると図 2.3 のようにエネルギー分布の幅が小さくなる。崩壊角 θ_ν が 2.5° のとき、T2K 実験の基線長である 295km においてニュートリノ振動確率が最も高くなるエネルギーに、エネルギー分布のピークが現れる。

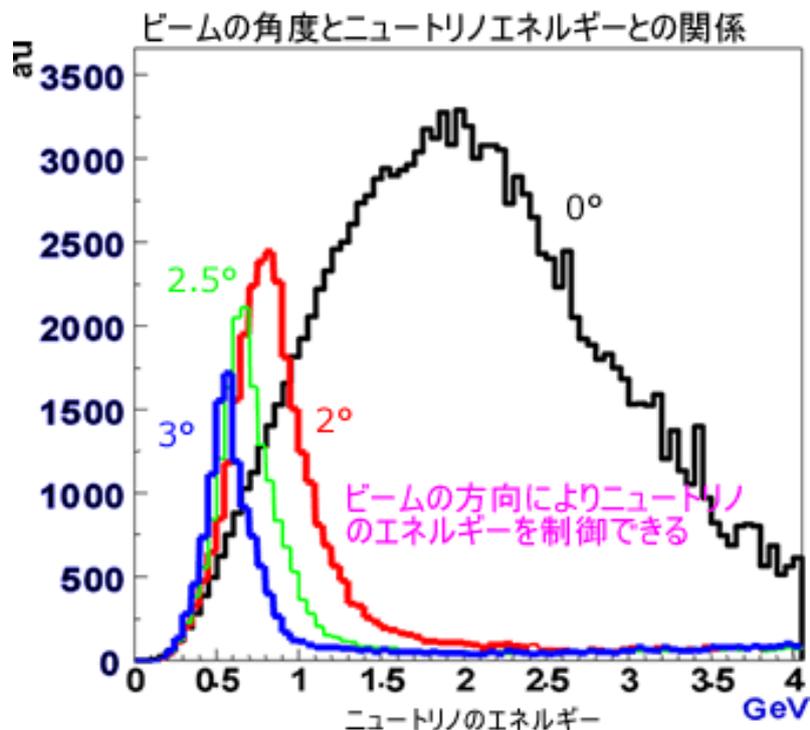


図 2.3: 各オフアキシス角における T2K ニュートリノビームのエネルギー分布 [3]

2.2 前置検出器

T2K 実験における前置検出器はビーム生成位置より 280m 下流の地点に設置されており、振動前のニュートリノを観測している。前置検出器は、INGRID 検出器 (On-axis)、ND280 検出器群 (Off-axis 2.5°)、WAGASCI 検出器群 (Off-axis 1.5°) の 3 種類が設置されている。

2.2.1 INGRID 検出器

INGRID 検出器はビーム軸上 (On-axis) に設置されている検出器であり、直接ニュートリノを観測し、ニュートリノビームの強度、方向をモニターする。INGRID 検出器は図 2.4 のように鉄とシンチレータを交互に挟んだ幅約 1.5m のモジュールを 1 単位とし、それらを鉛直方向に 7 個、水平方向に 7 個、計 14 個のモジュールを十字型に組み立てた構造となっている。十字の交差する部分にニュートリノビームが通るように設置されており、各モジュールにおいてニュートリノ反応の数を測定し、ビームのプロファイルをモニターしている。

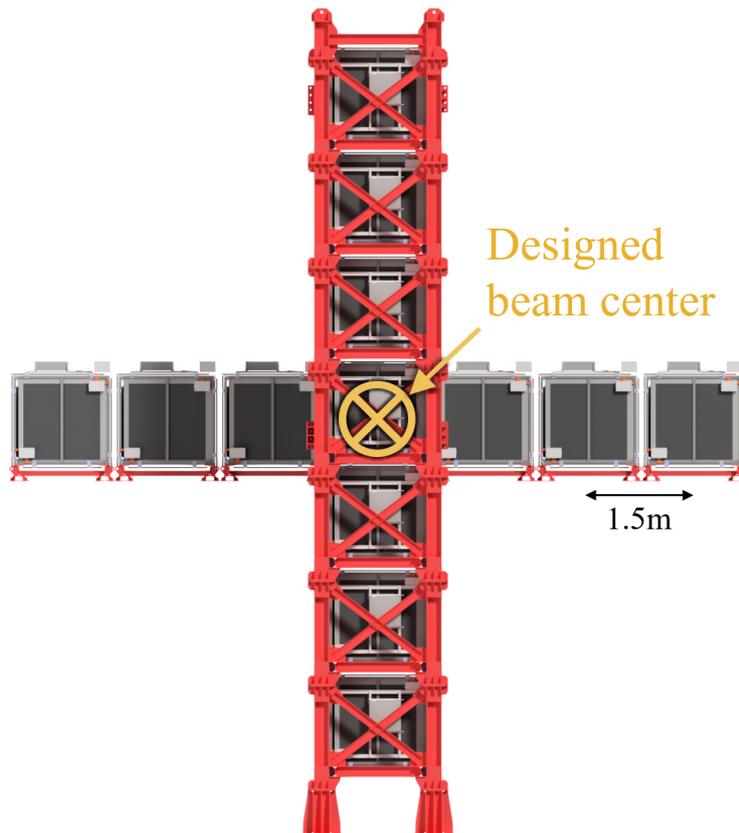


図 2.4: INGRID 検出器の概略図

2.2.2 ND280 検出器

ND280 検出器は Off-axis 2.5° の位置に設置されている検出器であり、ニュートリノと標的原子核の反応断面積のほか、ニュートリノ振動が起こる前のニュートリノのエネルギースペクトル及び流束（単位時間単位面積に流れる量）を測定している。図 2.5 に ND280 検出器の概略図を示す。ND280 検出器は以下のモジュールにより構成されている。

- UA1 Magnet

検出器の全体を囲うように設置されている大型の電磁石であり、0.2T の磁場をかけて荷電粒子の飛跡を曲げることにより、各粒子の運動量及び電荷の正負を測定している。

- P0D (π^0 Detector)

鉛、ターゲットである水、シンチレーターのサンドイッチ構造となっており、 π^0 生成反応の測定を行っている。

- FGD (Fine Grained Detector)

ニュートリノの反応点近傍の飛跡の検出及び低エネルギー粒子のトラッキングを目的としており、棒状のシンチレータを鉛直方向と垂直方向に交互に並べた構造を持つ。

- TPC (Time Projection Chamber)

TPCはFDGを挟むように設置されており、ニュートリノ反応によって生成された荷電粒子の飛跡の曲がり具合から粒子の運動量及び電荷の正負の測定を、エネルギー損失から粒子の識別を行っている。

- ECAL (Electromagnetic CALorimeter)

ニュートリノ反応によって生成した電子及び γ 線の電磁シャワーをとらえ、そのエネルギーを測定する。UA1 Magnet 内側の最外層に設置されている。

- SMRD (Side Muon Range Detector)

UA1 Magnet の隙間に設置されている検出器であり、TPCに入射しなかった荷電粒子の飛跡を測定し、エネルギーを再構成する。

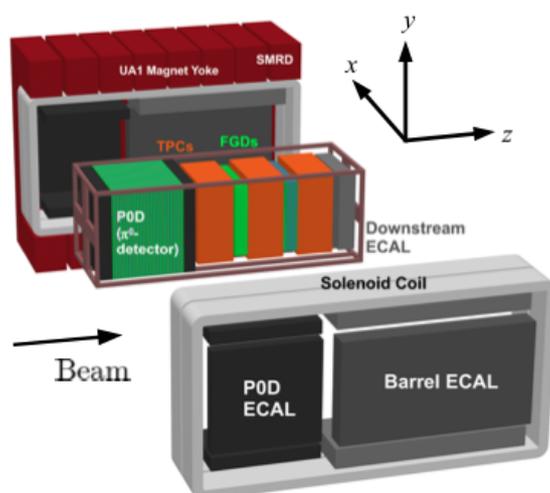


図 2.5: ND280 検出器の概略図 [1]

2.2.3 WAGASCI 検出器群

WAGASCI 検出器群は T2K 前置検出器ホール地下 2F (Off-axis 1.5°) の位置に設置されているニュートリノ、ミューオン飛程検出器群である。ニュートリノと標的が反応することで生成された荷電粒子をシンチレータを介し、半導体型光検出器 MPPC で検出することで観測を行っている。WAGASCI 検出器群の詳細については次章で詳しく記述する。

2.3 後置検出器（スーパーカミオカンデ）

スーパーカミオカンデは岐阜県飛騨市神岡鉱山内の地下 1000m に位置するチェレンコフ光観測装置であり、1996 年 4 月より利用が開始されている。直径 39.3m、高さ 41.4m の円筒形のタンクであり、内部は約 5 万トンの水で満たされている。壁面には光電子増倍管が約 13,000 本設置されており、ニュートリノが反応した際に放出する荷電粒子が水中の光の速度よりも速く水中を走った際に放出されるチェレンコフ光を観測している。図 2.6 はスーパーカミオカンデを内部から撮った写真であり、前述のとおり壁面に光電子増倍管が隙間なく設置されている。

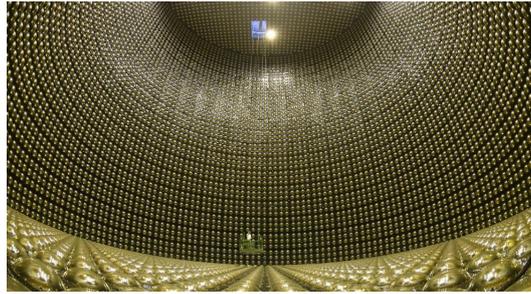


図 2.6: スーパーカミオカンデ内部の写真 [3]

また、スーパーカミオカンデは 2 層構造になっており、厚さ約 2m の外水槽には外向きに光電子増倍管が約 1,800 本取り付けられている。この光電子増倍管は、ニュートリノと宇宙線ミュオンを区別し、ノイズを除去するために利用されている。

第3章 J-PARC E69(WAGASCI) 実験

3.1 目的

T2K 実験で現在使用されている前置検出器 ND280 には構造上、ニュートリノ反応によって生成された荷電粒子を検出できる方向が前方方向に限られており、大角度方向に散乱された荷電粒子の検出効率が低いという弱点がある。また、ND280 検出器はプラスチックシンチレータ (CH) を標的としている一方、後置検出器 (スーパーカミオカンデ) は H_2O 標的であり、この標的の違いによる系統誤差が測定の精度を下げている。これらの問題を改善するために、シンチレータを格子状に組み込むことで全方向に高い検出効率で荷電粒子を観測する水標的ニュートリノ検出器 WAGASCI が開発された。

3.2 WAGASCI 検出器群

WAGASCI 検出器群は前置ニュートリノ検出器地下ホール 2F、Off-axis 1.5° の位置に設置されており、WAGASCI、Proton Module、Wall-MRD、Baby-MIND の 4 種類によって構成される。WAGASCI 検出器群の概略図を図 3.1 に示す。WAGASCI はビーム上流と下流で 2 台設置されており、その間に CH 標的検出器の Proton Module が設置されている。また、それらの両側面にはミューオン飛程検出器 Wall-MRD が設置されている。Baby-MIND はこれらよりビーム下流方向に設置されており、磁場を印加することにより、荷電粒子の電荷を識別している。

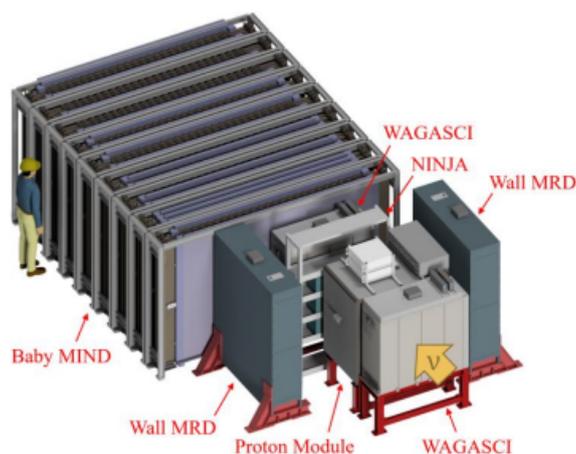


図 3.1: WAGASCI 検出器群

3.2.1 WAGASCI (Water Grid And SCIntillator)

WAGASCIは水を標的としたニュートリノ検出器であり、ビーム上流と下流で計2台設置されている。図3.2左はWAGASCIの枠組み構造の概略図であり、125cm × 125cm × 46cmの水タンクの内部にシンチレータや後述するエレクトロニクスが設置されている。WAGASCI内部に設置されているシンチレータは図3.2右のように格子状に組んだ構造をしており、内部は0.6トンの水で満たされている。シンチレータは縦方向、グリッド構造、横方向、グリッド構造・・・という順に組み立てられており、内部には5.0cm × 5.0cm × 2.5cmの水のセルが並ぶ構造となる。このようにシンチレータは三次元格子構造であるため、水とニュートリノが反応した際に放出する荷電粒子を全方向に高い検出効率で検出することが出来る。シンチレータの光は波長変換ファイバを通じ、半導体型光検出器MPPCによって検出する。

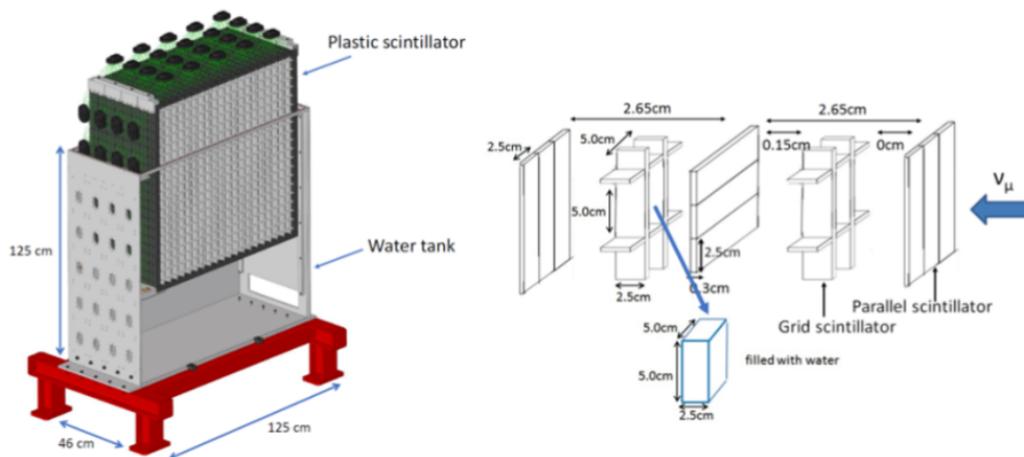


図 3.2: WAGASCI の構造

3.2.2 Proton Module

Proton Module の構造を図 3.3 に示す。Proton Module は 2 台の WAGASCI の間に設置されている CH 標的ニュートリノ検出器であり、ビーム方向の中心部分に設置されている。2 種類のシンチレータバーで構成された tracking plane で囲まれた構造をしており、内側領域 16 本は 25mm × 13mm × 1200 mm の SciBar タイプと呼ばれるシンチレータ、外側領域の 16 本は 50mm × 10mm × 1200mm の INGRID タイプと呼ばれるシンチレータである。

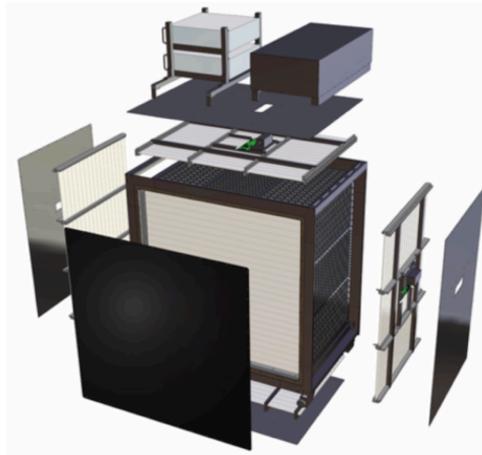


図 3.3: Proton Module の構造

3.2.3 Wall-MRD (Muon Range Detector)

Wall-MRD は WAGASCI、Proton Module の両サイドに 2 台設置されているミュオン飛程検出器であり、図 3.4 左のように、 $1.8\text{m} \times 1.6\text{m} \times 30\text{mm}$ の鉄と $1.8\text{m} \times 0.2\text{m} \times 7\text{mm}$ のシンチレータをそれぞれ 11 層、10 層交互に挟んだ構造をとっており、主に大角度に散乱したミュオンの飛跡、運動量を観測している。Wall-MRD で使用されているシンチレータバーを図 3.4 に示す。シンチレータには波長変換ファイバが波状に埋め込まれており、両端から MPPC によって読み出しを行っている。

また、Wall-MRD は WAGASCI より 50cm 離れた場所に設置されており、それぞれの検出器のヒットタイミングの時間差より、荷電粒子の運動方向、また、壁や床、Wall-MRD 自身において反応したバックグラウンドのイベントを排除することが出来る。

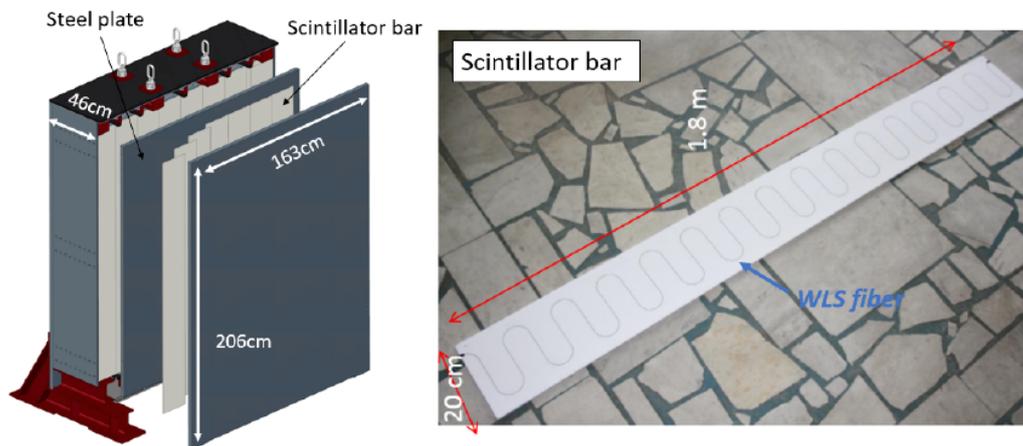


図 3.4: Wall-MRD の構造 (左)、Wall-MRD で使用されているシンチレータバー (右)

3.2.4 Baby-MIND (Magnetized Iron Neutrino Detector)

Baby-MIND 検出器を横から見た外観を図 3.5 に示す。Baby-MIND はビーム下流側に設置されている MRD である。大きさ 3500mm × 2000mm × 50mm の鉄モジュールとシンチレータの層でサンドイッチされた構造をしており、WAGASCI においてニュートリノが反応することによって生成されたミューオンを、1.5T の磁場によって曲げることで電荷の識別 (μ^+ と μ^-)、及び運動量の測定を行っている。

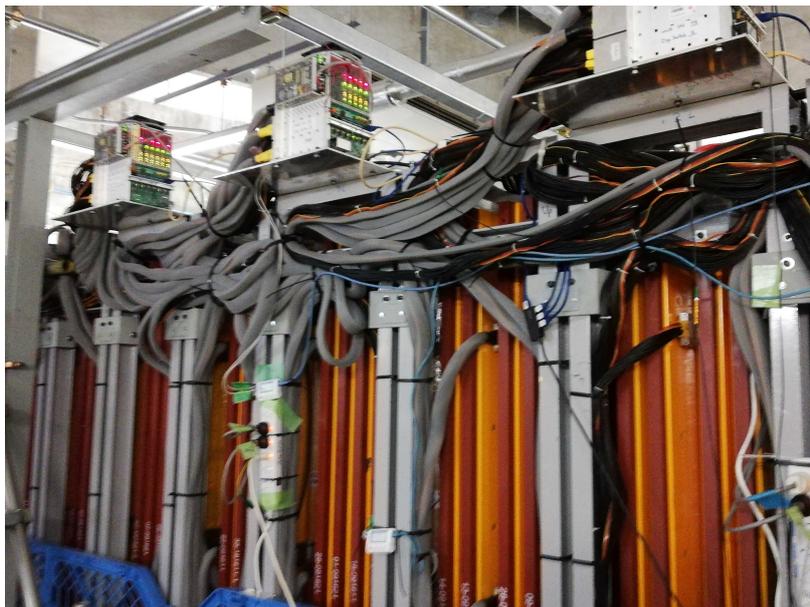


図 3.5: Baby-MIND の外観

第4章 エレクトロニクス

4.1 MPPC (Multi-Pixel Photon Counter)

MPPC は浜松ホトニクス社によって開発された半導体型光検出器の一種であり、入射した光子の数に応じた大きさのパルス信号を生成する。高増倍率、高検出効率、磁場の影響を受けないといった特徴があり、WAGASCI 検出器群ではシンチレータの光を波長変換ファイバを通じて観測するために用いられている。WAGASCI では 32ch の MPPC を配列した Array 型 MPPC (図 4.1) が、Wall-MRD では単素子の Single 型 MPPC (図 4.2) がそれぞれ用いられている。

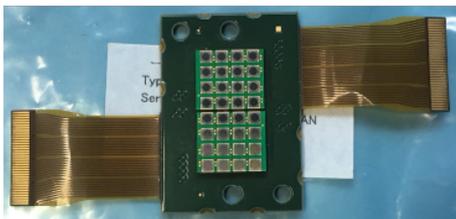


図 4.1: Array 型 MPPC



図 4.2: Single 型 MPPC

4.1.1 構造・動作原理

MPPC はアバランシェフォトダイオード (以下 APD) ピクセルとクエンチング抵抗を 1 単位とし、それを並列接続した構造を持つ。図 4.3 に MPPC の構造の簡略図を示す。APD は降伏電圧よりも約 5V 高い逆バイアス電圧を印加することで、ガイガーモードと呼ばれる動作モードで運用することが出来る。ガイガーモードの MPPC に光子が入射すると、それによりはじき出された光電子によってアバランシェ増幅が発生し、ガイガー放電が起こる。アバランシェ増幅が発生すると内部電解が保たれている間は常にガイガー放電が起こり、後に入射した光子を観測することができなくなってしまうが、クエンチング抵抗により APD の動作電圧を下げることで放電を止めることが出来る。

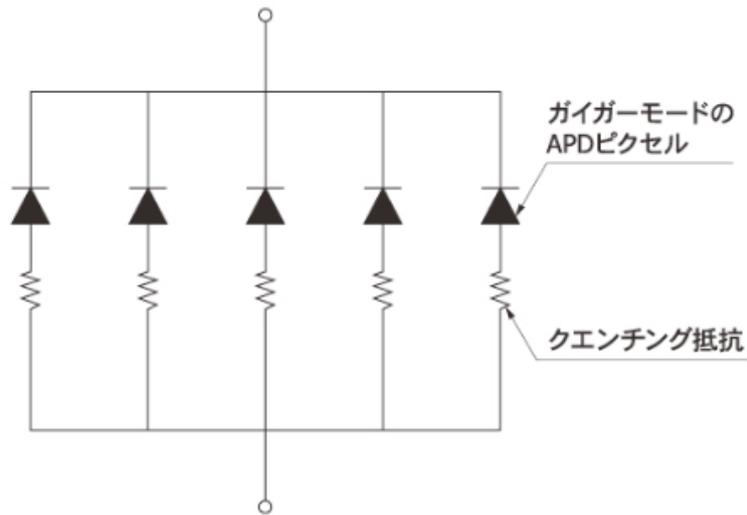


図 4.3: MPPC の構造

APD ピクセル及びクエンチング抵抗は前述の通り並列構造となっているため、出力された信号の大きさを測定することで、入射した光子の数を推定することが出来る。

4.1.2 諸特性

- 降伏電圧

アバランシェ増幅が発生する最低電圧を降伏電圧と呼び、降伏電圧よりも大きい逆バイアス電圧をかけて MPPC を動作させる。降伏電圧は一般的に温度が高いほど大きくなる傾向があるが、これは半導体結晶中の格子振動が温度の上昇に伴い激しくなり、結晶内で生成されたキャリアが十分に加速されず、アバランシェ増幅が起りにくくなるからである。

- ゲイン

信号の増倍率を表すゲインは、MPPC が 1 フォトンを検出した際に出力するパルスの電荷量を電気素量 $1.602 \times 10^{-19} \text{C}$ で割った値である。MPPC が出力するパルスの電荷量 Q は、1 ピクセルの容量を C 、印加電圧を V_R 、降伏電圧を V_{BR} とすると、

$$Q = C \times (V_R - V_{BR}) \quad (4.1)$$

と表すことが出来る。よって、MPPC のゲインは印加電圧に対し、線形に増加する。

- ダークノイズ

MPPC には、電圧を印加していなくても流れる電流（ダークカレント）が存在する。ダークカレントが発生する原因として、表面の汚れや錆などにより通電してしまうことによる表面

リーク電流、キャリアが再結合した際に流れる再結合電流、熱的に生じたキャリアによるバルク電流が存在する。

- クロストーク

MPPC のピクセルはガイガー放電が起こった際に赤外波長の 2 次的な光子を放出することがある。これが他のピクセルに入射することで、あたかも光子が入射してきたようなふるまいを取ってしまう。この現象をクロストークと呼び、実際の光子数よりも大きなパルスを出力してしまう。

- アフターパルス

MPPC のピクセルでガイガー放電が起こった際、半導体結晶内に存在する結晶欠陥に電子がトラップされることで、一定の時間間隔を置いてその電子が放出されることがある。放出された電子は光子が入射した時と同様に半導体結晶内で増幅され、パルスが生成される。このような過程で光子が入射した後に一定の時間間隔を置いて放出されるパルスをアフターパルスと呼ぶ。アフターパルスは実際に光子が入射した際に放出されるパルスと区別することが出来ないため、ノイズ、誤検出の原因となりうる。

4.2 フロントエンドエレクトロニクス

WAGASCI、及び Wall-MRD で用いられているデータ収集システムの概略図を図 4.4 に示す。

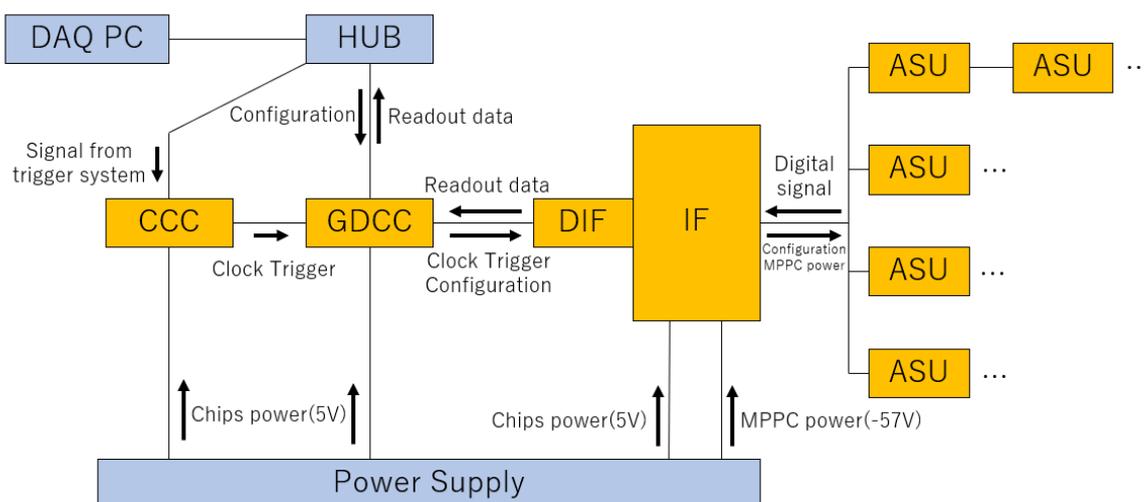


図 4.4: データ収集システムの概略図

これらのデータ収集システムはフランスの Laboratoire Leprince Ringuet (LLR) で設計され、日本で製作された。

- Active Sensor Unit (ASU)

図 4.5 に ASU の写真を示す。ASU は、フランスの OMEGA 社によって開発された信号読み出し専用チップ (ASIC)、SPIROC2D を搭載したフロントエンドボードであり、MPPC のアナログ信号をデジタル信号へ変換して送信する役割を担う。ASU と後述する Interface、及び ASU 同士は Samtec 社の 50pin のフラットケーブルを介して接続されている。また、ASU は WAGASCI の側面、上面にそれぞれ 20 枚、Wall-MRD の上面、底面にそれぞれ 3 枚ずつ設置されている。

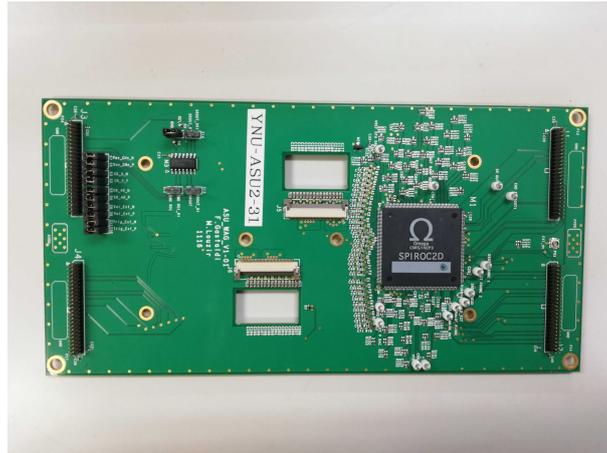


図 4.5: Active Sensor Unit

- SPIROC2D

SPIROC2D は前述のとおり ASU 上に搭載された MPPC 信号読み出し専用チップ (ASIC) であり、図 4.5 の右側に搭載されている正方形の黒いチップが SPIROC2D である。SPIROC2D は MPPC から電荷信号のデジタル値への変換、MPPC へ印加するバイアス電圧の微調整、信号のゲインの変更、ある閾値を超える信号をヒット信号として取り出すディスクリミネーターといった役割を担う。

- IF (InterFace)

図 4.6 に IF の写真を示す。Interface は ASU と DIF の間の信号のやり取りを担っている。このほかにも、Low Voltage 電源を通じて DIF 上の FPGA チップや ASU 上の SPIROC2D への電源供給、また、High Voltage 電源を通じて MPPC へのバイアス電圧供給も担っている。Interface は WAGASCI、Wall-MRD とともに各面に 1 枚ずつ、計 2 枚設置されている。また、IF 上から後述する時間情報の記録で用いられている Start acq 信号を取り出すことができる。

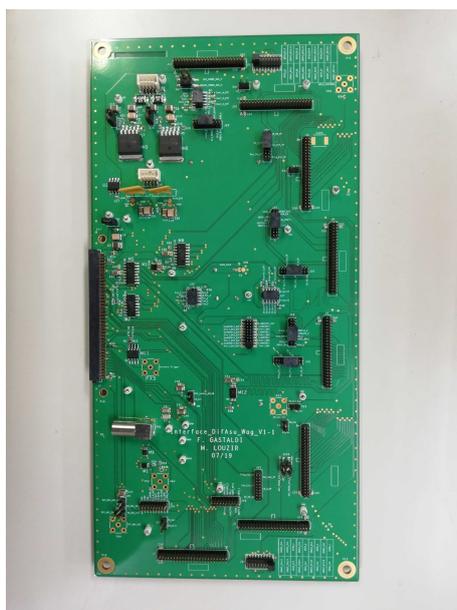


図 4.6: InterFace

- DIF (Detector InterFace)

DIF は GDCC と HDMI ケーブルを介して接続されており、SPIROC2D によりデジタル変換されたデータの送信、DAQ PC 側で設定したヒット閾値の送信、後述する Slow Clock 信号の同期などを行っている。また、DIF 上には FPGA チップが搭載されており、SPIROC2D の制御を行っている。



図 4.7: Detector InterFace

- GDCC (Giga Data Concentrator Card)

図 4.8 に GDCC、及び後述する CCC の写真を示す。GDCC は DIF と DAQ PC のデータのやり取りを介する、FPGA チップが搭載されたボードであり、DAQ PC とはイーサネットケーブルを通じて接続される。

- CCC (Clock and Control Card)

CCCはスピルトリガーの制御を行っているボードであり、GDCCとはHDMIケーブル、DAQ PCとはイーサネットケーブルを通じて接続されている。GDCCのFPGAチップのファームウェアを書き換えることでCCCとして使用することが出来る。

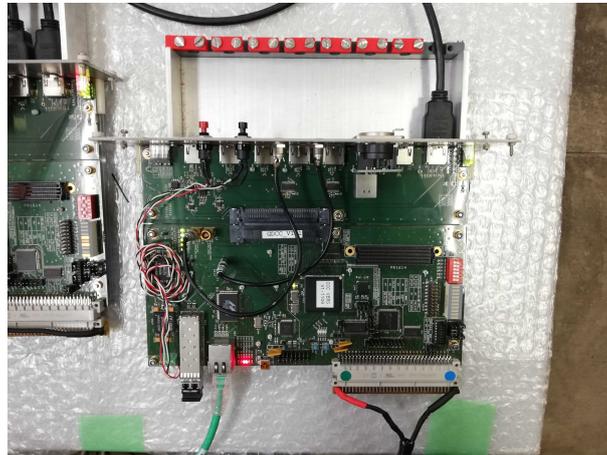


図 4.8: CCC、GDCC

- Single MPPC Card

図 4.9 に Single MPPC card の写真を示す。Single MPPC card は ASU と single 型 MPPC の接続を介する基盤であり、最大 32 個の single 型 MPPC を接続することが出来る。これは Wall-MRD に搭載されている ASU にフラットケーブルを介して接続されており、各面 3 枚の Single MPPC card に合計 80 個の single 型 MPPC が接続されている。

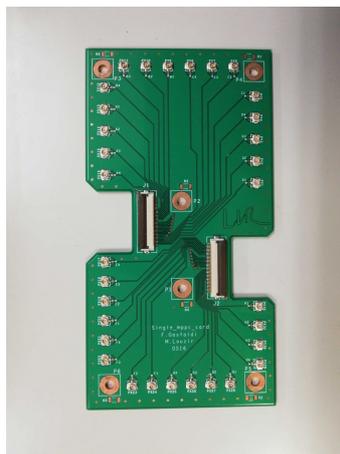


図 4.9: Single MPPC Card

WAGASCI及び Wall-MRD1 台あたりに搭載されている DIF、IF、ASU の枚数とチャンネル数は表 4.1 の通りである。

	WAGASCI	Wall-MRD
DIF、IF の枚数	2 枚 (top,side 各 1 枚)	2 枚 (top,bottom 各 1 枚)
ASU の枚数	40 枚 (top,side 各 20 枚)	6 枚 (top,bottom 各 3 枚)
MPPC のチャンネル数	1280	160

表 4.1: WAGASCI 及び Wall-MRD1 台あたりの DIF、IF、ASU の枚数と MPPC のチャンネル数

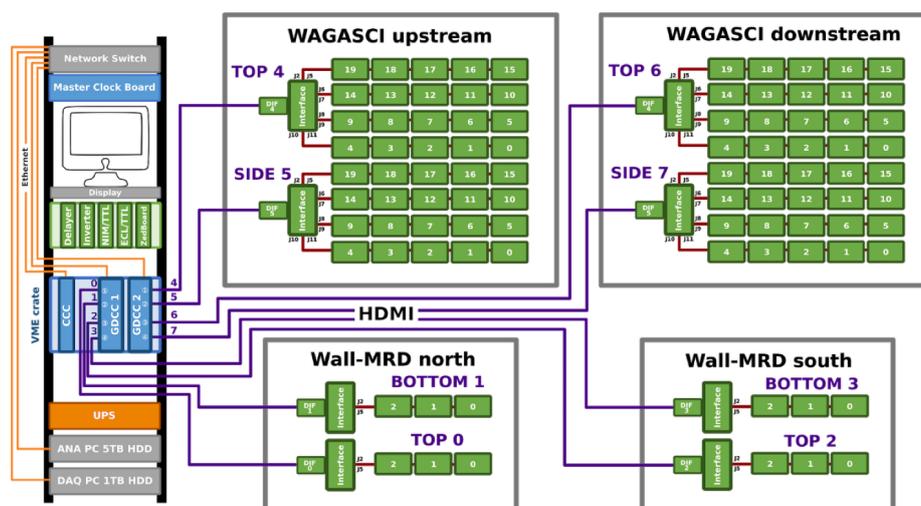


図 4.10: WAGASCI、Wall-MRD の各エレキの配置図

WAGASCI では top、side にそれぞれ 1 枚の IF から各列 5 枚の ASU が 4 列、計 20 枚ずつ設置されている。また、Wall-MRD では top、bottom にそれぞれ 1 枚の IF から 3 枚の ASU が 1 列に設置されている。また、各検出器にそれぞれ GDCC が設置されており、CCC は共通のものを用いている。

4.3 各種情報の記録

WAGASCI 及び Wall-MRD で取得された情報は raw 形式のファイルで一旦保存され、このファイルを復号 (decode) することで記録された各種情報を閲覧することが出来る。復号されたファイルは root ファイルであり、主に以下の情報が記録されている。

- spill count

WAGASCI 及び Wall-MRD では Start acq 信号と呼ばれる信号がデータ取得のトリガーとして用いられており、この信号が立ち上がっている間にデータ収集を行う。spill count は start

acq 信号が立ち上がるたびに 1 ずつ増加し、start acq 信号が立ち上がりから立下りまで取得された一つのデータ群をスピルと呼ぶ。

- chipid、chanid、
ヒットした各イベントの ASU の chip number、MPPC の channel number が記録されている。
- charge
ヒットしたイベントの ADC count を記録する。ADC は MPPC の波形を電荷積分したデジタル値である。
- time、BCID
ヒットしたイベントの TDC count、及び BCID 値を記録する。これらについては次節で詳しく説明する。

4.3.1 時間情報の記録

WAGASCI、Wall-MRD では Slow clock 信号、及び TDC ramp 信号を基準に検出時刻の測定を行っている。Slow clock 信号は 580ns 周期の矩形波信号であり、TDC ramp 信号は同じ周期で増減を繰り返す ramp 信号である。記録される時間情報は粗い時間情報、詳細な時間情報の 2 種類存在し、前者は BCID、後者は TDC によって記録される。

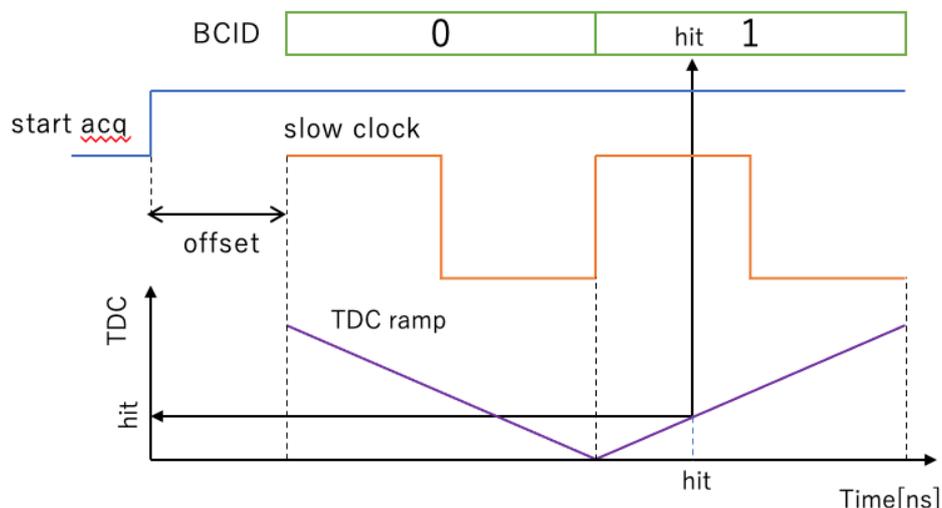


図 4.11: 時間情報を記録する信号

- start acquisition (start acq) 信号
データ収集が開始される際に立ち上がる信号であり、この信号が立ち上がっている間、WAGASCI、Wall-MRD はデータ収集を行う。

- slow clock 信号

580ns 周期、duty50%の矩形波信号であり、後述する BCID や TDC の基準となる信号である。slow clock 信号は CCC がビームトリガー信号を受信するたびに位相がリセットされる。

- BCID (Bunch Crossing ID)

BCID は粗い時間情報を記録するデジタルメモリであり、BCID の値は Start acq 信号が立ち上がった後の Slow clock 信号の立ち上がり回数を表している。したがって、一つの BCID の幅は 580ns となる。各 BCID はその間にヒットしたイベント数を記録している。

- TDC (Time to Digital Converter)

TDC は各イベントで記録されるアナログ値であり、ヒットした時点の TDC ramp 信号の値を記録している。1TDC count はおよそ 0.1ns の長さを表している。また、TDC ramp 信号は BCID が偶数のときは右下がり、奇数のときは右上がりの信号となる。

- Offset (TDC offset)

Start acq 信号の立ち上がりと Slow clock 信号の立ち上がりの間には一定のオフセットが存在する (以後、TDC offset と呼ぶ)。TDC offset は TDC slope の値を用いて、後述する計算式により算出することが出来る。

第5章 TDC キャリブレーション

5.1 TDC slope、TDC offset の測定

5.1.1 目的

物理ランのデータ解析において、各イベントの時間情報は飛跡の再構成、バックグラウンドイベントの除去などに使用されており、そのために 10ns 以内の精度が求められている。前述の通り、WAGASCI、Wall-MRD では詳細な時間情報を TDC ramp 信号を用いて記録しているが、この TDC ramp 信号の傾き（増減の割合、以後、TDC slope とする）は各 ASU 間で同一ではなく、異なる値となっている。これは、ASU 上に実装されている SPIROC2D の個体差によるものである。そのため、実際の検出時刻を算出するためには、各イベントの TDC count の他に、各 ASU、MPPC のチャンネルごとの TDC slope の値の情報、TDC offset の値の情報が必要となる。本研究では、各 ASU、MPPC のチャンネルごとの TDC slope の値を、LED の光を特定のタイミングで照射することで測定を行った。

5.1.2 測定方法

使用機器

- LED 基板

図 5.1 に実際の測定で使用した LED 基板の写真を示す。3cm × 2cm の基板上に抵抗、コンデンサ、トランジスタ、ケーブルコネクタ、及び LED を実装した。次に記す LED コントロールボードを用いて発光の強さ、タイミングをコントロールすることが出来る。

- LED コントロールボード

図 5.2 に LED コントロールボードの写真を示す。上述した LED 基板を同時に 20 個接続することが出来るボードであり、上部のコネクタより +12V の電源をかけることで、入力したシグナルに応じて LED を同時に発光させることが出来る。各チャンネルごとにスイッチ、ポテンショメータが接続されており、各 LED の ON/OFF、及び発光の強さを調節することが出来る。



図 5.1: LED 基板



図 5.2: LED コントロールボード

- パルスジェネレータ

KEITHLEY 社の「Model 3390 50MHz Arbitrary Waveform/Function Generator」(図 5.3) を、LED コントロールボードに信号を入力するために用いた。背面から発光タイミングのトリガー信号を入力することが出来る。

- 二股クリップ

IF から start acq 信号を LED の発光トリガーとして取り出すために利用した。(図 5.4)



図 5.3: パルスジェネレータ



図 5.4: 二股クリップ

セットアップ

図 5.5 に TDC slope の測定試験のセットアップを示す。

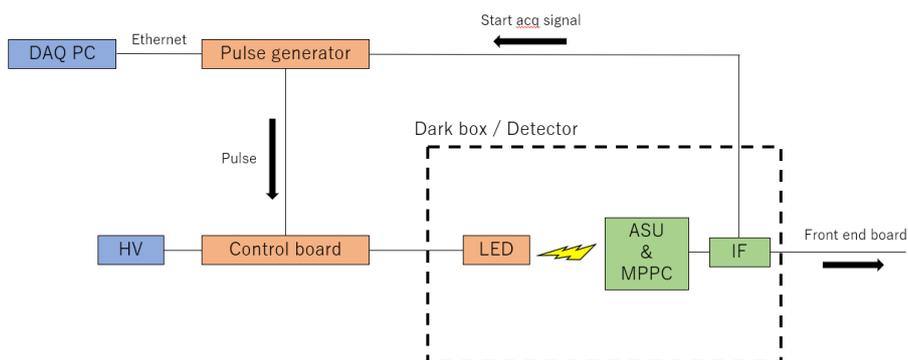


図 5.5: TDC キャリブレーションのセットアップ

パルスジェネレータをイーサネットケーブルを通じて DAQ PC と接続し、遠隔でパルスジェネレータのパラメータを調節した。また、各種 LED は ASU に接続されている MPPC に光が照射されるように設置した。(横浜国立大学における LED のセットアップは図 5.8、WAGASCI、Wall-MRD のセットアップは図 5.11 及び図 5.13 を参照)

測定手順

以下に TDC slope の測定手順を示す。

1. LED 基板を MPPC に光が照射されるように設置した。横浜国立大学における測定では、図 5.8 のように MPPC の上部に 4 つの LED 基板をディフューザーを挟んで設置し、均等に光が当たるように設置した。WAGASCI では構造上正面から光を照射することは出来ないため、ASU と WAGASCI 本体の間に LED 基板を図 5.11 のように挟み込み、横から光を照射した。また、Wall-MRD では設置されている Single 型 MPPC を各 ASU から 1 つずつ取り出し、図 5.13 に示した上部に穴が開いた直方体の LED 基板ケースを用意し、Single 型 MPPC の正面から LED の光を照射するように設置した。
2. 各種機器を図 5.5 のように接続した。IF とパルスジェネレータは、片方を IF 上の GND、もう片方を IF 上の Start acq 信号を出力しているピンに接続した二股クリップを、パルスジェネレータのトリガー入力部分に接続することで繋いだ。
3. 測定の各パラメータを DAQ PC より設定した。設定は、ANPAN (WAGASCI、Wall-MRD のデータ収集ソフトウェア) より行った。主に調節したパラメータは、LED 基板へ入力する信号の大きさ (height)、長さ (duration)、Start acq 信号からのオフセット (offset) の 3 つである。
4. Start acq 信号をトリガーとして利用し、タイミングをずらしながら MPPC に LED の光を照射した。タイミングをずらしながら LED の光を照射することで図 5.6 のように TDC 分布のピークが徐々にずれていき、各タイミングにおける TDC 分布のピークをプロットするこ

とで TDC slope (TDC counts/ns) を計算することが出来る。本研究では、40ns ずつ照射タイミングをずらしながら図 5.7 のように 7 点前後 TDC 分布のデータを取得し、TDC slope を測定した。

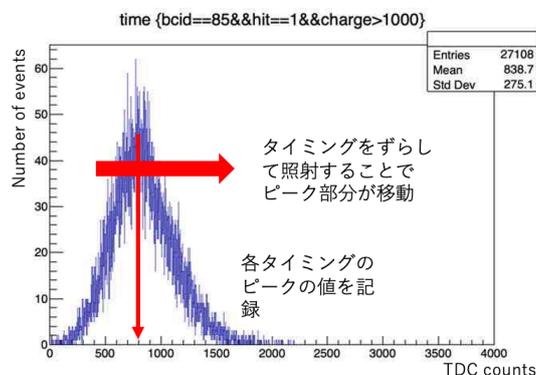


図 5.6: TDC 分布のプロット図

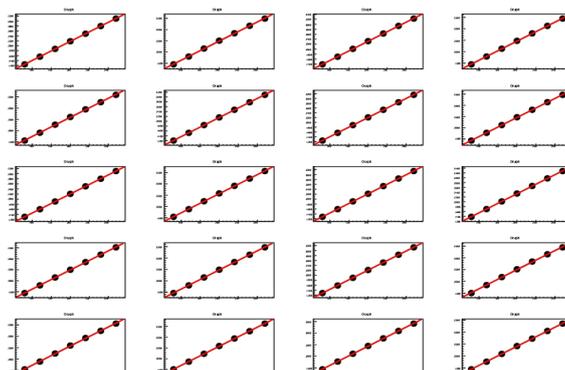


図 5.7: TDC slope のプロット図

5. TDC offset の値を、式 5.1 より逆算して求めた。

$$\text{Hit time[ns]} = \text{slope[ns/TDC]} \times \text{TDC count} + 580[\text{ns}] \times (\text{BCID} - 1) + \text{offset[ns]} \quad (5.1)$$

ここで、Hit time は Start acq 信号の立ち上がりから実際の LED 照射タイミングまでの時間、slope は測定した TDC slope[TDC/ns] の逆数である。TDC count、BCID はそれぞれヒットしたイベントの TDC count、BCID の値である。第 1 項はヒットした BCID での詳細な検出時刻、第 2 項はヒットまでに経過した時刻を経過した BCID 数 \times 580ns で計算している。

今回のキャリブレーションでは、初めに横浜国立大学において1つのASUに接続されたMPPCの各チャンネルのTDC slope及びTDC offsetの違いを、その後、J-PARCにおいてWAGASCIとWall-MRDの実機内にLEDを設置し、各ASUのTDC slopeとTDC offsetを測定した。

5.1.3 MPPCの各チャンネルのTDC slope、TDC offsetの測定

1つのASUの各チャンネルのTDC slope

まず初めに、1つのASUに接続されたMPPCの各チャンネルごとのTDC slopeを測定し、チャンネルごとにTDC slopeに違いはあるか、必要精度を満たすかどうかを調べた。MPPCはWAGASCIで用いられている32chのArray型MPPCを使用し、暗箱の中でMPPCの正面から図5.8のようにASU、LED基板を設置してLEDの光を照射し、各チャンネルのTDC slopeの値を算出した。

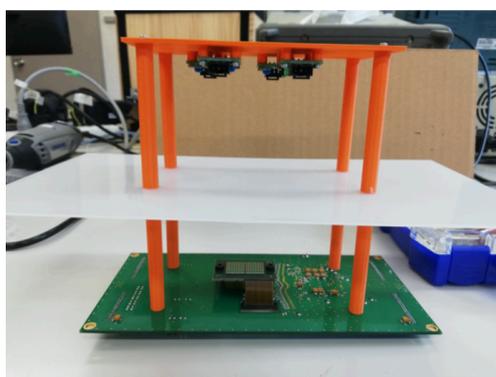


図 5.8: ASU、LED のセットアップ

以下の図 5.9、表 5.1 に測定結果を示す。

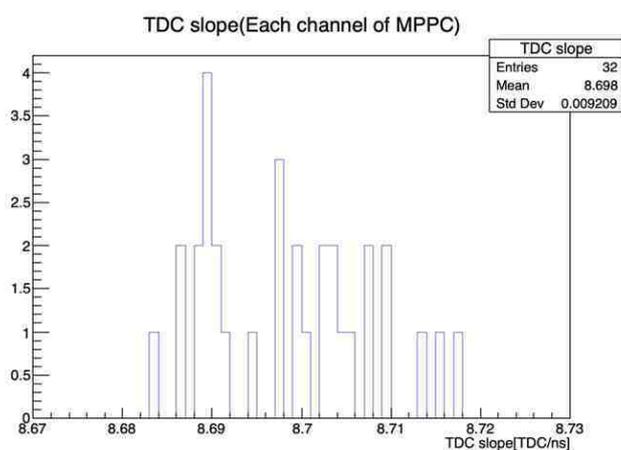


図 5.9: MPPC の各チャンネルの TDC slope

TDC slope の平均値 [TDC/ns]	標準偏差 [TDC/ns]
8.698	9.21×10^{-3}

表 5.1: 各チャンネルの TDC slope の平均値、標準偏差

測定の結果、MPPC の各チャンネルの TDC slope の標準偏差は 9.21×10^{-3} [TDC/ns] であった。 9.21×10^{-3} [TDC/ns] の差で生じる TDC count のずれは 1 つの BCID の幅が 580ns、1TDC count ≈ 0.1 ns であるためであるため、最大でも 9.21×10^{-3} [TDC/ns] $\times 580$ [ns] = 5.34 [TDC] = 0.53 [ns] である。この結果より、MPPC の各チャンネルの TDC slope の差は非常に小さく、チャンネル毎での補正は必要ない。

1 つの ASU の各チャンネル TDC offset

続いて同様のセットアップを用いて、1 つの ASU に接続された MPPC の各チャンネルごとの TDC offset を測定し、必要精度を満たすかどうかを調べた。以下の図 5.10、表 5.2 に測定結果を示す。各チャンネルの TDC offset は、先程の各チャンネルの TDC slope のデータ、及び 5.1 式を用いて算出した。

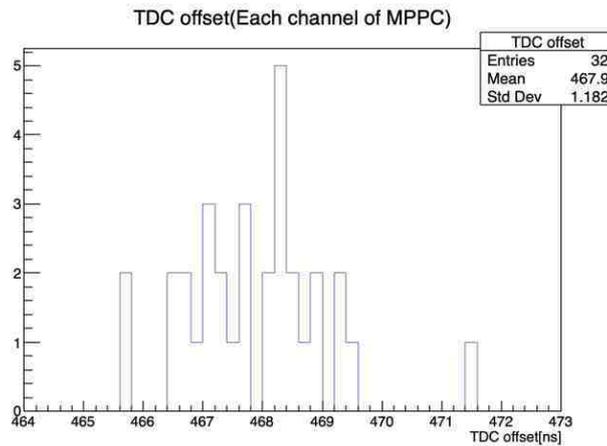


図 5.10: MPPC の各チャンネルの TDC offset

offset の平均値 [ns]	標準偏差 [ns]
467.9	1.182

表 5.2: 各チャンネルの TDC offset の平均値、標準偏差

データ解析において要求されている時間分解能は前述の通り、10ns 以内である。測定の結果、チャンネル間の TDC offset の標準偏差は 1.182 [ns] と非常に小さい。したがって、TDC slope と同様、チャンネル毎で補正をかけなくても必要精度を満たす。

まとめ（各チャンネル間の測定）

横浜国立大学において J-PARC と同様のテストベンチを設置し、1つの ASU に接続された MPPC の各チャンネルの TDC slope、TDC offset を測定し、それらの違いが必要精度を満たしているかどうかを調べた。その結果、TDC slope、TDC offset ともに要求精度内に収まっており、必要精度を満たしていた。したがって、MPPC のチャンネル間における補正は必要なく、要求精度を満たす。

5.1.4 各 ASU の TDC slope の測定

続いて、J-PARC において WAGASCI、Wall-MRD の内部に設置されている各 ASU の TDC slope、及び TDC offset の測定結果について示す。J-PARC における測定では、基本的なセットアップは横浜国立大学で行ったものと同様であり、検出器内の各 ASU に接続された MPPC に LED の光が照射されるように設置し、各項目を測定した。WAGASCI 内の LED は図 5.11 のように検出器内の各 ASU の横から LED 基板を挟み込んで設置した。また、Wall-MRD は top、bottom でそれぞれ ASU が 3 枚、Single 型 MPPC が 80ch 接続されているが、今回の測定では各 ASU から 1ch ずつ Single 型 MPPC を取り出し、事前に作成した図 5.12 の基板用パーツを用いて Single 型 MPPC に LED の光が正面から照射されるように設置し、TDC slope、TDC offset を測定した。



図 5.11: WAGASCI の LED セットアップ



図 5.12: Wall-MRD の slope 測定で使
用した基板用パーツ

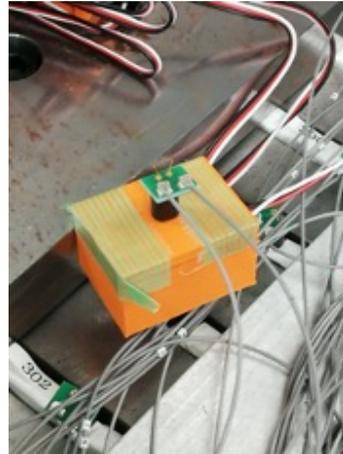


図 5.13: Wall-MRD の LED セットアップ

また、DAQ PC から設定した、LED に送ったパルスのパラメータの値は表 5.3、5.4 の通りである。各パラメータは LED の光がすべての MPPC に照射されつつ、なるべくパルス幅が短くなるように調節した。検出器によってパラメータの値が異なっているのは、LED の設置位置のずれなどにより、LED の光を検出できる閾値が異なっていたためである。

	hight(V)	duration(us)	offset(us)
upstream top	8.5	0.1	49.76
upstream side	10.0	0.15	49.75
downstream top	7.5	0.1	49.76
downstream side	7.5	0.06	49.76

表 5.3: LED に送ったパルスのパラメータ (WAGASCI)

	hight(V)	duration(us)	offset(us)
north top	3.0	0.05	49.76
north bottom	4.0	0.03	9.15
south top	5.0	0.04	49.76
south bottom	3.0	0.05	49.76

表 5.4: LED に送ったパルスのパラメータ (Wall-MRD)

各 ASU の TDC slope

WAGASCI、Wall-MRD の各 ASU の TDC slope の測定結果を図 5.14、5.15 に示す。

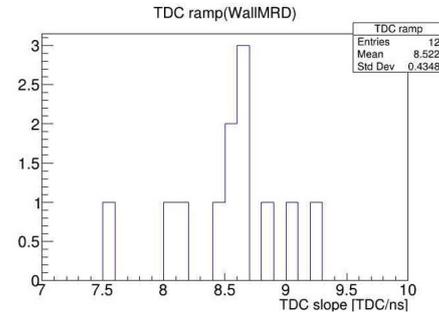
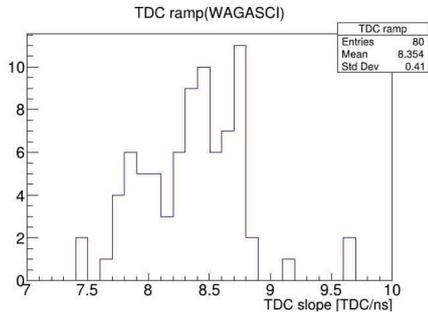


図 5.14: WAGASCI の各 ASU の TDC slope

図 5.15: Wall-MRD の各 ASU の TDC slope

各ヒストグラムのエントリー数は、それぞれの検出器の ASU の枚数（80 枚、12 枚）となっている。

各 ASU の TDC slope は、WAGASCI において 7.4[TDC/ns]~9.6[TDC/ns]、Wall-MRD において 7.5[TDC/ns]~9.2[TDC/ns] となった。また、TDC slope の標準偏差はそれぞれ 0.410[TDC/ns]、0.435[TDC/ns] であった。よって、それぞれの検出器において各 ASU 間で、 $0.410[\text{TDC/ns}] \times 580[\text{ns}] \doteq 238[\text{TDC}] = 23.8[\text{ns}]$ 、 $0.435[\text{TDC/ns}] \times 580[\text{ns}] \doteq 252[\text{TDC}] = 25.2[\text{ns}]$ のばらつきが生じ、要求される時間分解能である 10ns を越えてしまう。この結果より、WAGASCI、Wall-MRD の各 ASU の TDC slope はばらつきが大きく、今回の測定の結果を用いて補正を行う必要がある。

各 ASU の TDC offset

続いて、各 ASU の TDC offset の測定結果を図 5.16、5.17 に示す。

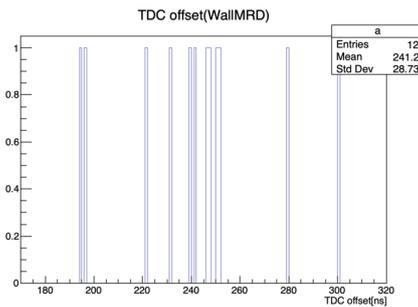
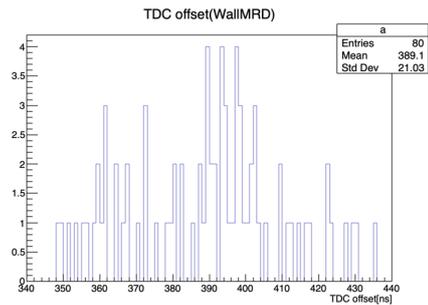


図 5.16: WAGASCI 検出器の各 ASU の TDC offset

図 5.17: WallMRD の各 ASU の TDC offset

WAGASCI の各 ASU の TDC offset は 350[ns]~435[ns]、Wall-MRD の各 ASU の TDC offset は 195[ns]~300[ns] となった。また、標準偏差はそれぞれ 21.03[ns]、28.73[ns] となった。よって、要求時間分解能の 10ns に比べて非常に大きな値になってしまっているため、TDC offset も各 ASU によって補正を行う必要がある。

また、各 ASU の TDC offset の平均値は WAGASCI、Wall-MRD でそれぞれ 389.1[ns]、241.2[ns] となり、100ns 以上の offset 差が生じた。このような結果となったのは、WAGASCI と Wall-MRD で使用している GDCC が異なり、信号やデータをやり取りするタイミングに差異が生じていると思われる。

まとめ (各 ASU の測定)

J-PARC において WAGASCI、Wall-MRD の内部に LED を設置し、横浜国立大学でのテストと同様に、時間をずらしながら MPPC に光を照射し、各 ASU の TDC slope、及び TDC offset を測定した。WAGASCI、Wall-MRD の各 ASU の TDC slope の標準偏差はそれぞれ 0.41[TDC/ns]、0.435[TDC/ns]、それによるヒット時刻の誤差の最大値は 23.8[ns]、25.2[ns] となった。また、各 ASU の TDC offset の標準偏差はそれぞれ 21.03[ns]、28.73[ns] であった。これらの値のばらつきは、要求される時間分解能である 10ns に比べて大きな値となっている為、今回測定したデータを用いて各 ASU 間で時間情報の較正を行う必要がある。これら各データは物理ランの解析においてバックグラウンドイベントの除去、飛跡の再構成等で利用する。

5.2 Wall-MRD の異なる IF 間のヒット時間差の測定

5.2.1 目的

Wall-MRD は前述の通り、IF が top、bottom に各 1 枚ずつ設置されており、その先に ASU が 3 枚、MPPC が 80ch 設置されている。地面に対して水平方向 (x 軸、及び z 軸方向) はヒットした MPPC の位置を調べることでミュオンがヒットした位置を特定することが出来るが、地面に対して垂直方向 (y 軸方向) の位置は構造上直接特定することは出来ない。そこで Wall-MRD では y 軸方向のヒット位置を、シンチレータの両端のチャンネルのヒット時刻差を計算することで位置の再構成を行っている。そのため、Wall-MRD においてヒットイベントの y 軸方向の位置を特定するためには、前述した TDC slope、TDC offset の情報のほかに、top と bottom の IF 間の時間情報に関する信号の到達時間差 (オフセット) を測定する必要がある。本研究では TDC slope、TDC offset の測定と同様のセットアップを用いて、信号のオフセットを測定した。

5.2.2 LED によるヒット時間差の測定

測定方法 (LED)

基本的な測定方法は 5.1.2 節の測定手順と同様であり、異なる IF 間の信号のオフセットを測定するために、TDC slope の測定で用いた LED 基板、LED コントロールボードを再び用いた。今

回の測定ではLEDをWall-MRDのtop、及びbottomのMPPCに光が照射されるように接続し、それぞれのLEDを同時に点灯させ、ヒット時刻を測定した。また、LEDに送ったパルスのパラメータは表5.5の通りに設定した。

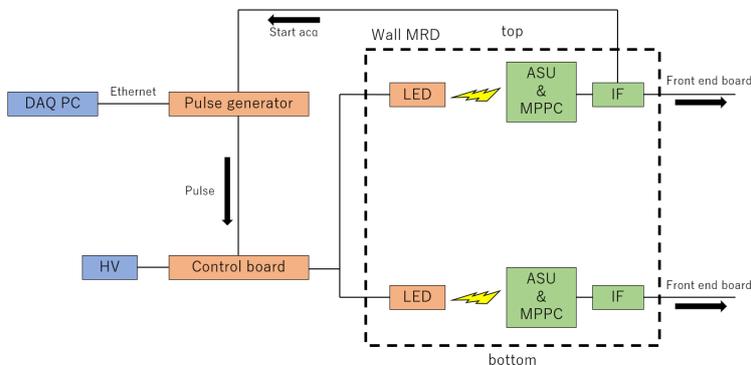


図 5.18: IF のオフセット測定の設定アップ

	hight(V)	duration(us)	offset(us)
north	5.0	0.075	49.91
south	3.5	0.05	49.985

表 5.5: IF のオフセット測定のための LED に送ったパルスのパラメータ (Wall-MRD)

各 LED は IF に一番近い ASU (ASU chip No.2、図 4.10 を参照) に接続された MPPC に接続し、データを取得した。また、データ収集のトリガーとして top の IF より、二股クリップを用いて start acq 信号を取り出し、トリガーとして利用した。

測定結果 (LED)

信号のオフセットの測定結果を図 5.19、5.20 に示す。

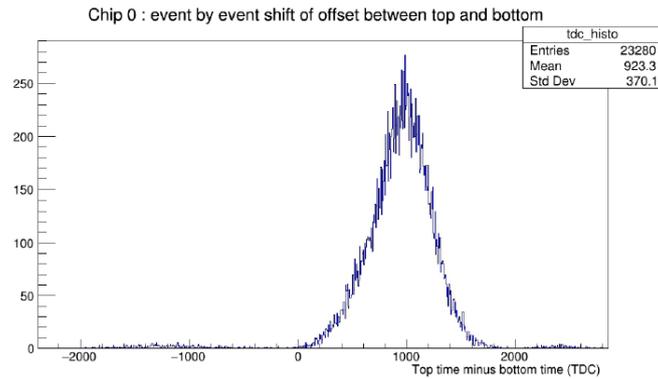


図 5.19: top、bottom のイベント毎の TDC count の差

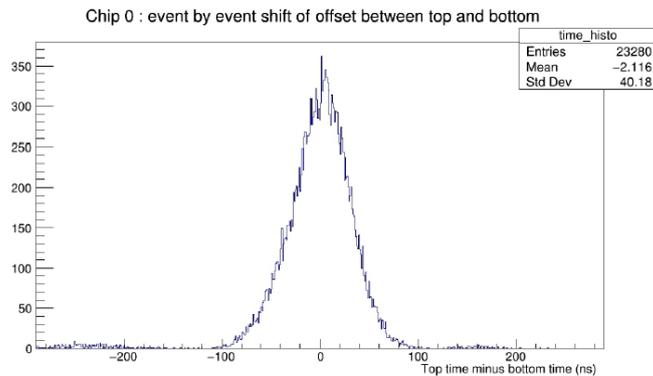


図 5.20: top、bottom のイベント毎の Hit time の差 (ns)

図 5.19 は、各 spill ごとの top の TDC count と bottom の TDC count の差をプロットした図、また、図 5.20 はその結果を踏まえて算出した各 spill ごとの Top のヒット時刻と bottom のヒット時刻の差 (ns) である。結果を見ると、ヒット時刻の差のピークは 0ns 付近に出現した。そのため、TDC slope、及び各オフセットのデータは正しく取得することが出来た。しかしこの結果を見ると、図 5.20 のピーク幅は約± 100ns となっている。これは、要求されている時間分解能である 10ns を大幅に超えてしまっている。このような結果となった理由として、異なる IF へ送られる信号のオフセットがイベントごとに一定でない、すなわち信号にジッターが存在する可能性、また、測定に用いた LED の時間分解能が、要求される性能に対して低かったことが考えられる。しかし、この現象の原因を信号のジッターと結論付けるためには、各イベントで LED の光が同時に、少なくとも誤差 10ns 以内に MPPC に照射されたという前提が必要になる。したがってこの時点では、「ジッターが存在しつつ、LED の分解能が低かった」、「ジッターは存在しないが、LED の分解能が低かった」、「LED の分解能は十分だが、ジッターが存在した」の 3 つの可能性が存在し、これらを絞ることは出来ない。

5.2.3 電気信号によるヒット時間差の測定

イベント毎のヒット時間差が大きくなってしまった原因を調べるために、LEDの代わりとして電気信号を図5.21のASU injection boardに注入し、ヒット時間差の測定を行った。このASU injection boardはmicro coaxial cableを用いてSingle MPPC cardと接続することができ、左側のLEMOケーブルコネクタにパルスジェネレータから電気信号を入力することで、電荷を直接ASUへ注入することが出来る。注入される電荷量 Q はMPPCと同様に、コンデンサの容量 C (100pF)、パルスジェネレータの電圧 V を用いて、 $Q=CV$ で計算することが出来る。

セットアップ

基本的なセットアップは図5.18と同様である。LEDの代わりに図5.21のASU injection boardを2枚用意し、ASUへ電荷を直接注入して測定を行った。パルスジェネレータからは減衰器を介して、大きさ3V、幅20nsの信号をASU injection boardへ入力し、イベント毎のヒット時間差を算出した。

また、事前にオシロスコープを用いてパルスジェネレータからの信号自体にジッターが存在しないかを確認した。測定の結果、パルスジェネレータからの信号にジッターは存在せず、常に同じタイミングで信号が注入されていることを確認した。



図 5.21: ASU injection board の回路図及び実際の回路 [5]

測定結果

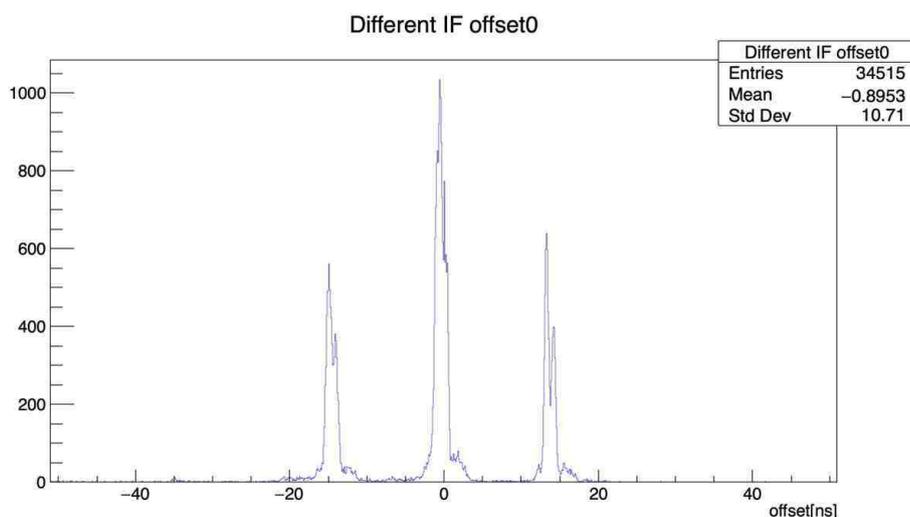


図 5.22: 電気信号によるヒット時間差の測定結果

LED の代わりに電気信号を用いて同様の測定を行った結果、図 5.22 のように-15ns、0ns、15ns 付近に鋭いピークが 3 つ出現した。各ピークは幅約 5ns と非常に小さく、要求精度である 10ns も満たしている。したがって、図 5.20 で現れていた± 100ns のジッターは LED の分解能の低さに由来するものであり、実際には要求精度を越えてしまうようなジッターは存在しなかった。しかし、電気信号によるヒット時間差は-15ns、0ns、15ns の 3 つ存在し、これらのオフセットは要求精度である 10ns を越えてしまっている。パルスジェネレータからの信号にはジッターが存在しないことを確認しているため、オフセットが 3 つ存在する原因はエレキ側に問題があると推察される。この問題の解決のために現在 DIF、及び CCC のファームウェア改良を行っており、それを通じて解決を図る予定である。

5.2.4 まとめ、今後の展望

Wall-MRD の Y 軸方向の位置の再構成のため、異なる IF 間のヒット時間差の測定を、top と bottom、それぞれの ASU に接続された MPCC に同時に LED の光を照射し、測定を行った。その結果、ピークは 0ns に現れたが、幅が± 100ns と要求精度の範囲を超えてしまった。その後、LED の代わりにパルスジェネレータを用いて電気信号を直接 ASU に入力し、同様の測定を行った。その結果、-15ns、0ns、15ns 付近に幅約 5ns の鋭いピークが出現し、実際にはジッターは存在せず、3 つのオフセットが存在した。今後はこのオフセットのばらつきを無くして時間分解能を向上させるために CCC や DIF 等のファームウェアを改良し、解決を図る予定である。

第6章 CCCのファームウェアの改良

6.1 ビーム取り出し周期の変更

T2K 実験ではデータ収集量の増加を目的として、2023 年の Run より加速器のアップグレード、及びニュートリノビームの取り出し周期の短縮化 (2.48s → 1.32s) が行われる。それに伴い、WAGASCI、及び Wall-MRD のデータ収集の周期を新しいビーム取り出し周期に同期させる必要が生じた。

図 6.1 に、J-PARC MR から WAGASCI と Wall-MRD に送られるトリガー信号の概略図を示す。

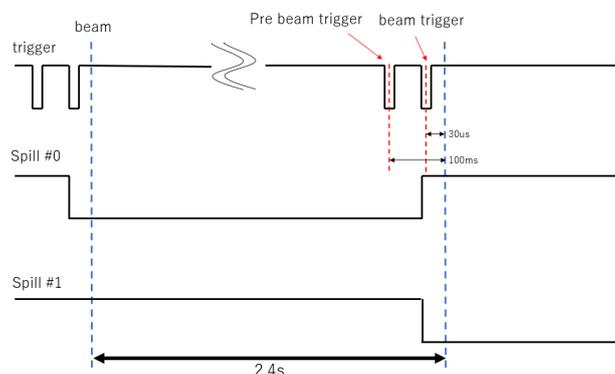


図 6.1: WAGASCI と Wall-MRD のトリガー信号の概略図

WAGASCI、Wall-MRD ではデータ収集のトリガー信号として、NIM レベルのパルス信号を用いている。トリガー信号はビーム 100ms 前に生成される pre beam trigger、及び 30us 前に生成される beam trigger の 2 種類を組み合わせた信号であり、この信号を CCC の外部トリガー入力部分へ入力している。図 6.2 に WAGASCI、Wall-MRD のトリガー受信モジュールを示す。上流からのトリガーを受信するモジュールは WAGASCI の正面に設置されており、ビーム前 100ms、及び 30us のトリガーを受信した後、NIM レベルのパルスを出力し、それらの信号を組み合わせ、CCC へ入力している。



図 6.2: WAGASCI、Wall-MRD のトリガー受信モジュール

CCC は pre beam trigger を受信した後、一定時間内に beam trigger を受信することでデータ収集を開始する。CCC は beam trigger を受信した直後にデータ収集を行い、その後 250ms ごとにバックグラウンドイベントの取得などを目的としてニュートリノビームが来ていない状態でデータ収集を行う。前者のイベントを Beam spill と呼び、後者を Internal spill と呼ぶ。(図 6.4 参照)

6.2 FPGA

CCC のボード上には FPGA (Field-Programmable Gate Array) と呼ばれる、使用者が動作をプログラムすることが出来る集積回路が実装されている。FPGA のファームウェアは複数のハードディスク記述言語 (HDL) を用いて記述されたファイルによって構成されており、ファームウェアを対応する書き換えツールを用いて書き換えることで、必要に応じてシステムを変更することが出来る。FPGA は同様の電子部品であるマイコン、CPU 等に比べ、前述の通り使用者がプログラム可能である、遅延、消費電力が少ないといったメリットがある。一方、ファームウェアの記述を使用者が 1 から行う必要があるため、他の機器と比べて扱いが難しいという欠点がある。

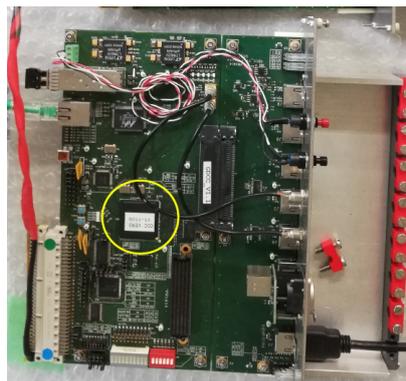


図 6.3: CCC ボード上の FPGA チップ

CCC ボード上に実装されている FPGA チップは図 6.3 の黄丸で囲んだ部分に搭載されている。この FPGA チップは Xilinx 社の Spartan-6 シリーズと呼ばれる FPGA チップであり、専用の書き換えツールとして、ISE Design suite と呼ばれるソフトウェアが Xilinx 社より提供されている。ISE Design suite は仮想環境上で動く OS の一種であり、HDL 設計、タイミング解析等の FPGA 設計に必要な機能を持ち合わせている。2023 年現在は Spartan シリーズのバージョンアップに伴い ISE Design suite のサービス提供は終了しており、代わりとなるツールとして Vivado design suite が同じく Xilinx 社より提供されている。

また、CCC の FPGA には揮発性のメモリと不揮発性のメモリがあり、揮発性のメモリは書き込みが早く終わるが、電源を OFF にすると書き込み内容が消えてしまう。また、不揮発性のメモリは揮発性のメモリと比べ、書き込みにやや時間がかかるが、電源を OFF にしても書き込み内容は失われない。書き込み内容は揮発性メモリに書き込んだ方が優先されるため、ファームウェアのパラメータを変えながら測定を行いたい場合、揮発性メモリに書き込みながら測定を行い、最終的に不揮発性のメモリに書き込む、といったように使い分けることができる。

6.3 CCC のアルゴリズム

CCC のアルゴリズムを図 6.4 に示す。

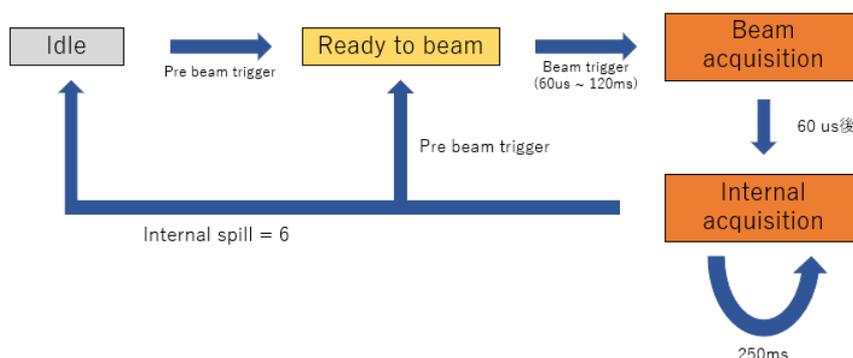


図 6.4: CCC のアルゴリズム

CCC を物理ランモードで運用する場合、CCC は最初はデータ取得を行わない Idle モードとなっている。CCC が Idle モードの時に Pre beam trigger を受信すると、Ready to beam モードとなる。Ready to beam モードは Pre beam trigger を受信してから 60us までは Ready to beam モードを維持し、Ready to beam モードになってから 120ms 後に強制的に Idle モードへと戻る。この間 (Ready to beam モードになってから 60us~120ms 後の間) に Beam trigger を受信すると、検出器はデータ取得を開始する。

データ取得を開始するとまず初めに、Beam spill のデータを取得する (Beam acquisition)。Beam spill を取得した 60us 後に CCC のファームウェアで指定された回数、Internal spill のデータを取得する (Internal acquisition)。ニュートリノビームの取り出し周期変更前の Internal spill の回数

は6回であるが、その場合、Internal spill をすべて取得するために必要な時間は $250\text{ms} \times 6 = 1.5\text{s}$ となり、変更後の取り出し周期である 1.32s をオーバーしてしまう。今回の改良ではこの Internal spill の回数を変更して新たなビーム周期に対応させ、安定したデータ収集を行えるかどうかの試験を行った。

6.4 CCC のファームウェアの改良

変更前の CCC のファームウェアでは前述の通り、Internal acquisition を 250ms ごとに6回行っている。そのため、変更後のビーム取り出し周期である 1.32s をオーバーしてしまう。CCC のファームウェアでは Internal acquisition が終了する前に Pre beam trigger を受信してしまった時の保険として、受信後に強制的に Ready to beam モードへと移行する。このままでもデータ収集を行うことは不可能ではないが、ファームウェア内の各パラメータは Idle モードに移行した際に一旦リセットされている。そのため、Internal acquisition モードから Idle モードを介さずに Ready to beam に移行するのはデータ取得の安定性が落ちてしまう。また、途中でトリガーが止まってしまった際に収集するデータ数がばらついてしまうなど、解析における不都合も考えられる。そのため、Internal acquisition の回数を変更前の6回から、変更後の取り出し周期に収まるように3回に変更した。

6.4.1 ファームウェアの書き換え

ISE design suite 内には FPGA 用の様々なソフトウェアが内蔵されているが、今回のファームウェアの書き換えでは以下の2つのソフトウェアを使用した。

- Project manager
ファームウェアのソースコードの書き換えや回路合成を行うソフトウェア
- iMPACT
.bit 形式から .mcs 形式のファームウェアの生成、及び FPGA へのファームウェアの書き込みを行うソフトウェア

.bit 形式のファームウェアは SRAM メモリ（揮発性メモリ）に書き込むファイルであり、.mcs 形式のファイルは Flash メモリ（不揮発性メモリ）に書き込むファイルである。

CCC のファームウェアでは Internal acquisition の回数を変数で保存しており、その値が指定の回数を超えた際に Idle モードへ戻るように設定されている。今回の書き換えでは、Project manager では、Idle モードへ戻る Internal acquisition の回数を図 6.5 のように6回から3回へ変更した。

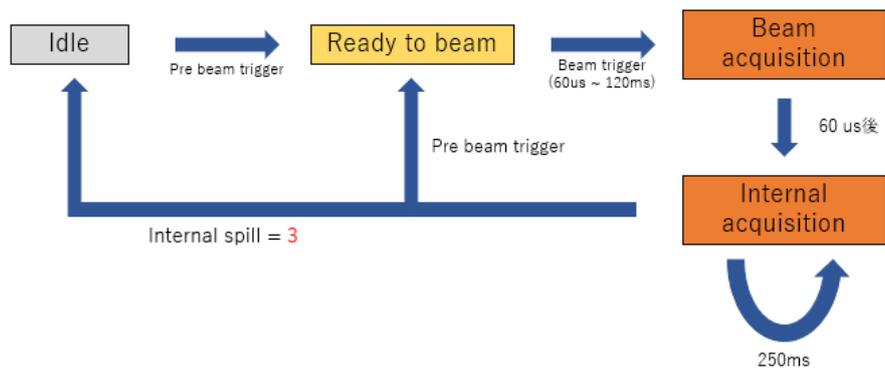


図 6.5: 変更後の CCC のアルゴリズム

変更後のファームウェアは iMPACT を用いて CCC に書き込みを行った。CCC と書き換え用の PC は、図 6.6 のプラットフォームケーブル USB II (Xilinx 社) を使用し接続した。



図 6.6: 接続に使用したプラットフォームケーブル

変更後のファームウェアの .mcs ファイル、.bit ファイルを不揮発性メモリ、及び揮発性メモリに書き込み、後述する測定でファームウェアが書き換わったかどうか、安定してデータ収集を行えるかどうかを確認した。

6.4.2 J-PARC におけるデータ測定

J-PARC において、WAGASCI、及び Wall-MRD に接続されている CCC のファームウェアを変更した後、実際の物理ランの環境において安定してデータ収集が行えるかどうかを確認した。今回の測定ではビームの代わりに検出器内に LED を設置し、実際のビームトリガーを用いて Beam acquisition のタイミングで LED を発光させ、データ収集を行った。

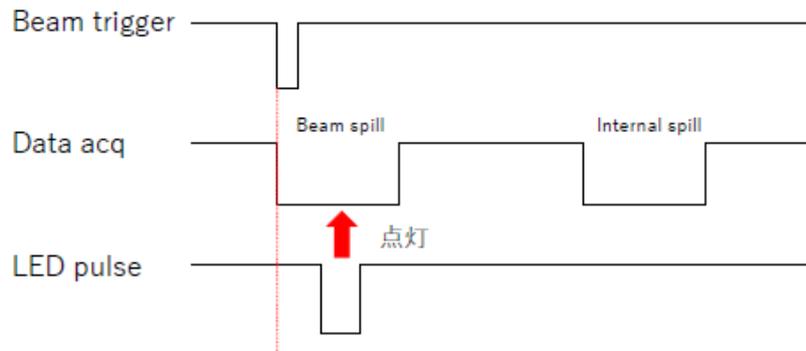


図 6.7: データ収集テストのトリガーの概略図

使用機器

- LED 基板
- LED コントロールボード
- パルスジェネレータ

これらの機器は第 5 章の TDC slope の測定で使用したものと同様である。

以下に測定のセットアップを示す。

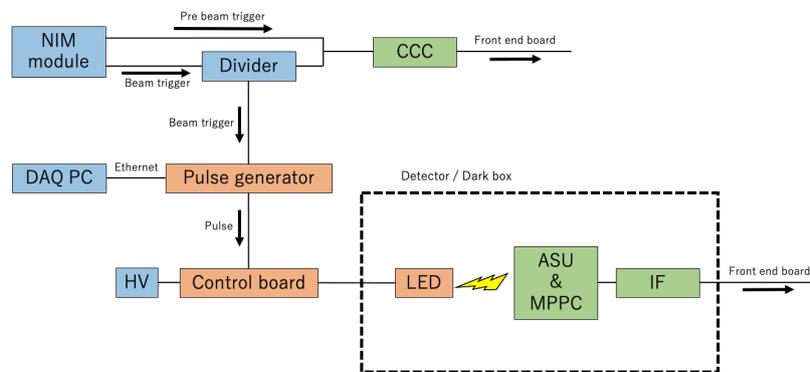


図 6.8: データ収集テストのセットアップ

測定手順

1. Windows PC と CCC コントロールボードを図 6.6 のプラットフォームケーブルを用いて接続し、CCC のファームウェアを更新した。

2. ファームウェアが書き換わっているかどうかを確認するため、3分間のデータ取得を行い、変更前のファームウェア、変更後のファームウェアにおいてエントリー数を比較した。エントリー数は、Beam spillの数と Internal spillの数の合計である。Beam trigger から次の Pre beam trigger までの間隔は約 1.22s となっているので、変更前のファームウェア、及び変更後のファームウェアのエントリー数は図 6.9、表 6.1 のようにそれぞれ 5 entries、4 entries となる。

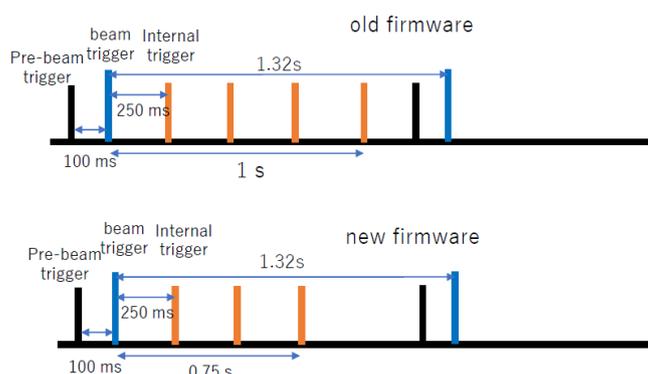


図 6.9: 旧、新ファームウェアにおけるデータ収集のタイミングチャート

旧ファームウェア	新ファームウェア
5 (Internal spill=4)	4 (Internal spill=3)

表 6.1: 各ファームウェアで 1 周期ごとに期待されるエントリー数

3. LED 基板、LED コントロールボード、パルスジェネレータを図 6.8 のように接続し、WAGASCI の内部に図 5.11 のように、MPPC に LED の光が照射されるように設置した。また、pre beam trigger を出力している NIM モジュールから Divider を用いて信号を二手に分岐させ、片方を CCC ボードに、もう片方をパルスジェネレータのトリガー入力部分に接続した。
4. 短時間のデータ取得を行って LED の光が照射されていることを確認した後、数時間のデータ取得を行った。この測定を WAGASCI の upstream top、upstream side、downstream top、downstream side について、同様の手順で行った。

6.4.3 測定結果

J-PARC における旧、新ファームウェアでのデータ収集の結果を図 6.10、6.11 に示す。

```

root [0]
Attaching file new_firmware_WUS_3_ecal_dif_1_tree.root as _file0...
(TFile *) 0x7ff6cf48c4f0
[root [1] raw->Print();
*****
*Tree   :raw       : ROOT tree containing decoded data *
*Entries : 628     : Total =      117352976 bytes File Size =   5372133 *
*       :         : Tree compression factor = 21.88 *
*****

```

図 6.10: 旧ファームウェアのエントリー数

```

root [0]
Attaching file new_firmware_WUS_12_ecal_dif_1_tree.root as _file0...
(TFile *) 0x7fc0c9b73ab0
[root [1] raw->Print();
*****
*Tree   :raw       : ROOT tree containing decoded data *
*Entries : 496     : Total =      92687745 bytes File Size =   3925556 *
*       :         : Tree compression factor = 23.65 *
*****

```

図 6.11: 新ファームウェアのエントリー数

旧ファームウェア	新ファームウェア
約 625 entries	約 500 entries

表 6.2: 各ファームウェアのエントリー数

測定結果より、旧ファームウェアのエントリー数と新ファームウェアでのデータ収集テストの結果、3 分間の測定でエントリー数は、前者は約 625 entries、後者は約 500 entries となった。これらの結果より、エントリー数の比は約 5:4 であり、1 周期ごとのエントリー数の比と一致した。したがって、CCC のファームウェアが更新されていることを確認した。

続いて、変更後のファームウェアでデータが安定して正確に収集できるかどうかを確認した。実際の物理ランでは一定期間中に 24 時間を 1 サイクルとしてデータ収集を行うため、変更後のファームウェアで LED を発光させない状態 (Dark)、及び LED をビームタイミングで発光させた状態でそれぞれ 24 時間のデータ収集を行い、Charge 分布に LED の発光に対応した分布が現れるかどうか、LED を発光させたタイミングに対応する BCID にピークが現れるか、また、途中でデータ収集が止まってしまうなどの問題が生じないかどうかを確認した。LED は Beam trigger をトリガーとして 30us 後に 10us の長さで発光させ、データを収集した。

続いて、charge 分布、及び BCID 分布の測定結果を図 6.12、6.13、6.14 に示す。

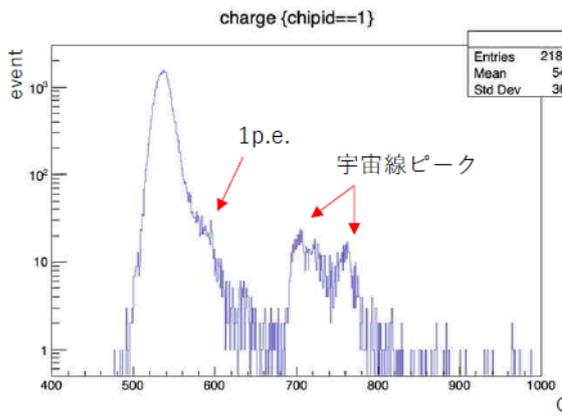


図 6.12: Dark 状態の charge 分布

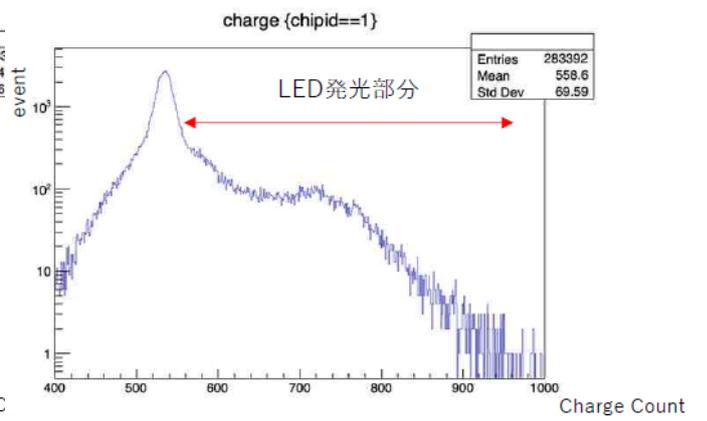


図 6.13: LED を発光させた状態の charge 分布

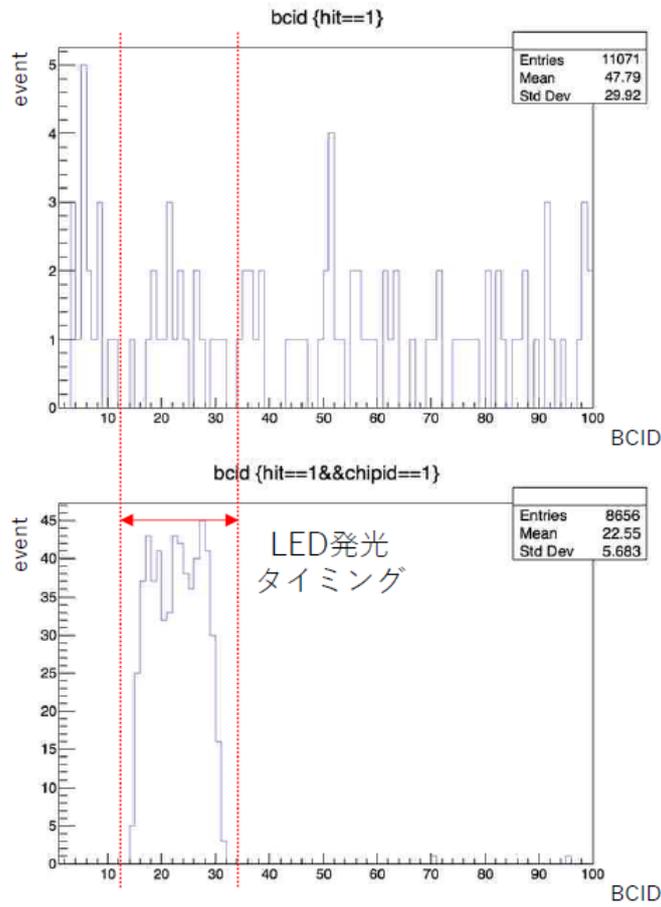


図 6.14: Dark 状態、及び LED を発光させた状態の BCID 分布

まず初めに charge 分布について、Dark 状態の charge 分布では pedestal、1p.e.、宇宙線ピークのみが現れたが、LED を発光させた状態の charge 分布では 1p.e. 以上の部分のイベントが増加した。また BCID 分布について、Dark 状態の BCID 分布では暗電流によるヒットイベントが時間的にランダムに散らばっている。一方 LED を発光させた状態の BCID 分布は、幅約 17~18BCID count の一つの大きなピークが出現した。一つの BCID の幅は 580ns であるので、LED を発光させた長さを BCID count の長さに変換すると、 $10000[\text{ns}] \div 580[\text{ns}] = \text{約 } 17.2\text{BCID count}$ となるので、このピークは LED を発光させた長さである 10us のピークである。以上の結果より、変更後のファームウェアで安定して長期間のデータを取得できることを確認した。

6.5 まとめ

T2K 実験では 2023 年のランより、加速器のアップグレード、及び 2.48ns から 1.32ns へのニュートリノビームの取り出し周期の変更が行われ、それに伴い、WAGASCI、及び Wall-MRD で用いられている CCC board に搭載されている FPGA のファームウェアを書き換え、データ収集の回数を新たなビーム取り出し周期に対応させた。データ収集試験の結果、新しい CCC board のファームウェアは期待通りに動作し、長期的に安定してデータ収集が出来ることを確認した。WAGASCI と Wall-MRD は 2023 年の物理ランより、変更後のファームウェアを用いてデータ収集を行う。

第7章 結論

本研究では WAGASCI と Wall-MRD の時間情報の較正のために、1 つの ASU に接続された MPPC の各チャンネル間の TDC slope、TDC offset の違い、及び WAGASCI と Wall-MRD に設置されている各 ASU 間の TDC slope、TDC offset の違いを測定した。測定の結果、1 つの ASU に接続された MPPC の各チャンネル間の TDC slope の標準偏差は 9.21×10^{-3} [TDC/ns]、それによって生じるヒット時刻のずれは 0.53 [ns] である。また、TDC offset の標準偏差は 1.182 [ns] であり、それぞれ要求精度である 10ns 以内に収まっていた。したがって、1 つの ASU の MPPC チャンネル間で TDC slope、TDC offset の較正を行う必要はない。一方、WAGASCI、Wall-MRD に設置されている各 ASU の TDC slope の標準偏差はそれぞれ 0.41 [TDC/ns]、0.435 [TDC/ns] であり、それによって生じるヒット時刻の誤差は最大で 23.8 [ns]、25.2 [ns] であった。また、各 ASU の TDC offset の標準偏差はそれぞれ 21.03 [ns]、28.73 [ns] であった。これらの値は要求精度である 10ns に比べて大きい値となっている為、今後の物理解析においては ASU 毎に測定した TDC slope と TDC offset を用いて、ヒット時刻を補正する。

また、WallMRD における Y 軸方向のヒット位置の再構成に必要な情報である、異なる IF 間におけるヒット時間差を測定した。電気信号を用いてオフセットを測定した結果、-15ns、0ns、15ns に3つのオフセットが存在することが判明した。この問題については今後、DIF や IF のエレクトロニクスやファームウェアを改良することで解決を図る予定である。

また、ビームの取り出し周期の短縮化 (2.48s \rightarrow 1.32s) に伴い、CCC のファームウェアを改良することで、WAGASCI と Wall-MRD のデータの収集周期を新たなビーム取り出し周期に対応させた。測定試験の結果、新たなファームウェアは期待通りに動作し、長期で安定したデータを取得することが出来た。今後の物理ランでは、改良後のファームウェアを利用してデータ収集を行う。

謝辞

本研究を通じて多くの方々からご指導ご鞭撻を頂き、大変お世話になったとともに自身の成長に大きくつながりました。ここに感謝の意を表します。

まず、指導教員の南野彰宏教授にはお忙しい中、研究に関するご指導を頂いたり相談に乗っていただいたりと、大変お世話になりました。学部時代から3年間こちらの研究室に所属しましたが、研究活動を通じて多くの貴重な経験を得ることが出来ました。ありがとうございました。

続いて、WAGASCI 実験グループであり、本研究室のメンバーである Giorgio さん、工藤君、また、共同研究者である京都大学の木河さん、安留さん、大阪公立大学の本條さん、東京都立大学の在原さんには、研究に関する助言を頂いたり測定を手伝っていただいたりと大変お世話になったとともに、気さくに話しかけてくださったことで出張先でも楽しく過ごすことが出来ました。ありがとうございました。

また、本研究室のメンバーの皆様、T2K 実験グループの皆様とはゼミやミーティングなどを通じて知見を広めあったりご意見を頂いたりしたことで、自身の研究の幅を広めることが出来ました。ありがとうございました。

最後に、精神的につらいときに自分を支えてくださった家族の皆様に感謝いたします。

関連図書

- [1] T2K 実験公式ホームページ <https://t2k-experiment.org/ja/t2k/>
- [2] J-PARC 公式ページ <https://j-parc.jp/c/index.html>
- [3] スーパーカミオカンデ公式ホームページ
<http://www-sk.icrr.u-tokyo.ac.jp/sk/detector/index.html>
- [4] 松下 昂平 (2020、東京大学、修士論文) 「Improvement of timing performance of the WAGASCI neutrino detector」
- [5] 小林 北斗 (2022、横浜国立大学、学位論文) 「T2K 実験 WAGASCI 検出器 フロントエンドエレクトロニクスを用いた電荷測定 of 線形性評価」